



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월08일
(11) 등록번호 10-1262319
(24) 등록일자 2013년05월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01R 13/03 (2006.01) H01R 11/01 (2006.01)
(21) 출원번호 10-2011-0146366
(22) 출원일자 2011년12월29일
심사청구일자 2011년12월29일
(65) 공개번호 10-2012-0078639
(43) 공개일자 2012년07월10일
(30) 우선권주장
1020100139953 2010년12월31일 대한민국(KR)
(56) 선행기술조사문헌
KR1020090028007 A
JP2009062247 A
KR1020100098164 A

(73) 특허권자
그래핀스퀘어 주식회사
서울특별시 강남구 봉은사로72길 18 ,301(삼성동)
(72) 발명자
안중현
경기도 수원시 팔달구 인계동 래미안노블클래스 101동 1602호
홍병희
서울특별시 강남구 삼성동 115-43번지 202호
(뒷면에 계속)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 20 항

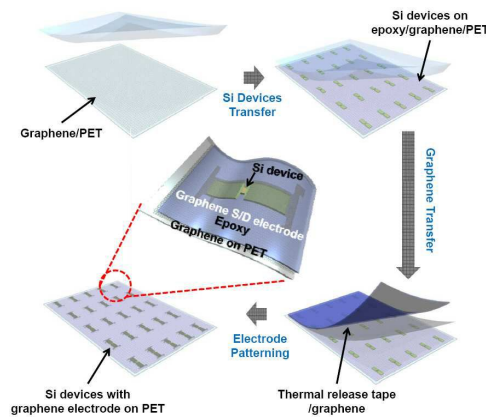
심사관 : 한주철

(54) 발명의 명칭 그래핀 전극을 포함하는 플렉시블/스트레처블 반도체 소자, 반도체층과 그래핀 전극 사이의 접촉저항 감소 방법, 및 그래핀 인터커넥터

(57) 요약

본원은 그래핀 전극을 포함하는 플렉시블/스트레처블 반도체 소자 및 상기 소자에 있어서 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법, 그리고 그래핀 인터커넥터에 관한 것이다.

대표도 - 도6



(72) 발명자

장석재

경기도 수원시 장안구 천천동 300번지 성균관대학교 자연과학캠퍼스 봉룡학사 지관 528호

장호욱

경기도 수원시 장안구 율전동 288-27번지 301호

이원호

경기도 수원시 장안구 천천동 300번지 성균관대학교 신소재공학부

특허청구의 범위

청구항 1

플렉시블(flexible)하고 스트레처블(stretchable)한 기판;
상기 기판에 형성된 반도체층; 및,
상기 반도체층에 형성된 스트레처블 그래핀 전극
을 포함하는, 플렉시블/스트레처블 반도체 소자.

청구항 2

제 1 항에 있어서,
상기 그래핀 전극과 상기 반도체층 사이의 자연산화막을 제거함으로써 상기 그래핀 전극과 상기 반도체층 사이의 접촉저항을 감소시킨, 플렉시블/스트레처블 반도체 소자.

청구항 3

제 1 항에 있어서,
상기 그래핀 전극에 의하여 상기 그래핀 전극과 상기 반도체층 사이의 접촉저항을 감소시킨, 플렉시블/스트레처블 반도체 소자.

청구항 4

제 1 항에 있어서,
상기 그래핀 전극과 상기 반도체층 사이에 버퍼층을 형성하여 상기 그래핀 전극과 상기 반도체층 사이의 접촉저항을 감소시킨, 플렉시블/스트레처블 반도체 소자.

청구항 5

제 1 항에 있어서,
상기 그래핀 전극 상에 접촉저항 감소층을 형성하여 상기 그래핀 전극과 상기 반도체층 사이의 접촉저항을 감소시킨, 플렉시블/스트레처블 반도체 소자.

청구항 6

제 1 항에 있어서,
상기 그래핀 전극은 투명한 것인, 플렉시블/스트레처블 반도체 소자.

청구항 7

제 1 항에 있어서,

상기 반도체층은 유기물 반도체 또는 무기물 반도체를 포함하는 것인, 플렉시블/스트레처블 반도체 소자.

청구항 8

제 7 항에 있어서,

상기 무기물 반도체는 Si, 탄소나노튜브, 그래핀, 화합물 반도체, 산화물 반도체 및 이들의 조합들로 이루어진 군에서 선택되는 것인, 플렉시블/스트레처블 반도체 소자.

청구항 9

반도체층과 그에 형성된 그래핀 전극 사이의 접촉저항을 감소시키는 방법으로서,

(1) 상기 그래핀 전극과 상기 반도체층 사이의 자연산화막을 제거하는 것, (2) 상기 그래핀 전극과 상기 반도체층과의 접촉 면적을 가능한 넓게 되도록 형성하는 것, (3) 상기 그래핀 전극과 상기 반도체층 사이에 버퍼층을 형성하는 것, 및 (4) 상기 그래핀 전극 상에 접촉저항 감소층을 형성하는 것으로 이루어진 군에서 선택되는 하나 이상을 포함하는,

반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법.

청구항 10

제 9 항에 있어서,

상기 반도체층은 유기물 반도체 또는 무기물 반도체를 포함하는 것인, 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법.

청구항 11

제 9 항에 있어서,

상기 (3) 및 (4)에서 상기 버퍼층 및 접촉저항 감소층 각각은 도전성 물질을 포함하여 형성되는 것인, 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법.

청구항 12

제 11 항에 있어서,

상기 도전성 물질은 ITO, IZO, Ti, Cu, Au, Pt, Ir, Cr, Mg, Ag, Ni, Al 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법.

청구항 13

탄성체 기판;

상기 탄성체 기판 상에 형성되는 복수개의 소자; 및

상기 복수개의 소자를 상호 연결하는 그래핀 인터커넥터

를 포함하는, 전자 디바이스.

청구항 14

제 13 항에 있어서,
 상기 그래핀 인터커넥터는 도핑된 그래핀층으로 형성되는 것인, 전자 디바이스.

청구항 15

제 13 항에 있어서,
 상기 그래핀 인터커넥터는 복수개의 그래핀층을 적층하여 형성되는 것인, 전자 디바이스.

청구항 16

제 13 항에 있어서,
 상기 그래핀 인터커넥터는 그래핀층 및 상기 그래핀층에 증착된 금속 나노입자를 포함하는 것인, 전자 디바이스.

청구항 17

제 16 항에 있어서,
 상기 금속 나노입자는 Ag, Au, Pt, Pd, Fe, Ni, Al, Sb, W, Tb, Dy, Gd, Eu, Nd, Pr, Sr, Mg, Cu, Zn, Co, Mn, Cr, V, Mo, Zr, Ba 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 전자 디바이스.

청구항 18

제 13 항에 있어서,
 상기 그래핀 인터커넥터는 금속 나노입자 및 그래핀층을 교대로 복수회 적층하여 형성되는 것인, 전자 디바이스.

청구항 19

제 13 항에 있어서,
 상기 탄성체 기판은 열가소성 탄성 중합체(thermoplastic elastomer), 스티렌계 물질(styrenic materials), 올레핀계 물질(olefinic materials), 폴리올레핀(polyolefin), 폴리우레탄 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 합성고무(synthetic rubbers), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리부타디엔(polybutadiene), 폴리이소부티렌(polyisobutylene), 폴리(스티렌-부타디엔-스티렌)(poly(styrene-butadiene-styrene)), 폴리우레탄(polyurethanes), 폴리클로로프렌(polychloroprene), 실리콘 및 이들의 조합들로 이루어진 군에서 선택되는 것인, 전자 디바이스.

청구항 20

제 13 항에 있어서,
 상기 탄성체 기판은 1% 내지 30%의 변형률로 변형되는 것인, 전자 디바이스.

명세서

기술분야

[0001] 본원은 그래핀 전극을 포함하는 플렉시블/스트레처블 반도체 소자, 상기 소자에 있어서 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법, 및 그래핀 인터커넥터에 관한 것이다.

배경기술

[0002] 투명 및 플렉시블 박막트랜지스터(thin-film transistors; TFTs)는 인공 스킨 및 구부릴 수 있는 헤드 업 디스플레이 디바이스(bendable head-up display devices)와 같은 많은 응용 분야에서 높은 관심을 끌어들였다[참고문헌: Cao, Q.; Hur, S. H.; Zhu, Z. T.; Sun, Y.; Wang, C.; Meitl, M. A.; Shim, M.; Rogers, J. A. *Adv. Mater.* 2006, 18, 304-309]. 유기물, 전도성 산화물 및 탄소나노튜브와 같은 반도체성 물질들이 잠재적인 응용을 위한 좋은 후보로 기대된다[참고문헌: Cao, Q; Zhu, Z. T.; Lemaitre, M. G.; Xia, M. G.; Shim, M.; Rogers, J. A. *Appl. Phys. Lett.* 2006, 88, 113511].

[0003] 그러나, 이러한 물질로 만든 디바이스에서 낮은 캐리어 이동도 및 상대적으로 낮은 신뢰성으로 인하여 고성능 투명 및 플렉시블 전자장치를 이루는데 어려움이 있었다. 최근에, 몇몇의 연구 그룹은 100 nm 이하의 초박막 두께로 반투명 특성을 가진 고성능 플렉시블 전자장치를 위한 독립 구조의 단결정 실리콘 리본/멤브레인을 개발했다[참고문헌: Menard, E.; Nuzzo, R. G.; Rogers J. A. *Appl. Phys. Lett.* 2005, 86, 093507]. 이러한 디바이스의 장점 중 하나는 디바이스의 전기적, 광학적 특성 및 기계적 유연성에 중요한 역할을 하는 소스/드레인 및 게이트 전극이다. 투명 전극용 재료로서 높은 전도도 및 우수한 광투과도를 지닌 ITO(Indium Tin Oxide)가 자주 응용된다. 그러나, ITO의 고유의 기계적인 결점 및 고온 공정은 플렉시블 전자장치 시스템에서 사용에 적합하지 않다[참고문헌: Bae, S.; Kim, H. K.; Lee, Y.; Xu, X.; Park, J. S.; Zheng, Y.; Balakrishnan, J.; Im, D.; Lei, T.; Song, Y. I.; Kim, Y. J.; Kim, K. S.; Ozyilmaz, B; Ahn, J. H.; Hong, B. H.; Iijima, S. *Nat. Nanotechnol.* 2010, *online*]. 또한, 금속 박막은 또 다른 후보이지만 금속 박막은 그들의 낮은 광투과성 때문에 투명 전극 응용에 제한적이다[참고문헌: Fan, Z.; Razavi, H.; Do, J. W.; Moriwaki, A.; Ergen, O.; Chueh, Y. L.; Leu, P. W.; Ho, J. C.; Takahashi, T.; Reichertz, L. A.; Neale, S.; Yu, K.; Wu, M.; Ager, J. W.; Javey, A. *Nat. Mater.*, 2009, 8, 648-653].

[0004] 한편, 그래핀/무기 하이브리드 시스템이 반도체, 디스플레이 및 에너지 디바이스와 같은, 실용적 전자장치 응용에 대한 관심이 증가하고 있으나, 그래핀 필름을 무기재료와 통합함에 있어서 여전히 중요한 과제이다.

발명의 내용

해결하려는 과제

[0005] 본 발명자들은, 우수한 전기적, 광학적, 기계적 성질을 지닌 그래핀 필름을 대면적으로 용이하게 제조하여 이러한 그래핀 필름의 전자, 패터닝, 에칭 등의 공정을 이용하여 대면적 그래핀 투명 전극을 용이하게 제조하고, 이러한 그래핀을 이용하여, 플렉시블(flexible)하고 스트레처블(stretchable)한 기판, 상기 기판에 형성된 반도체층, 및 상기 반도체층에 형성된 스트레처블 그래핀 전극을 포함하는, 플렉시블/스트레처블 반도체 소자 및 상기 소자에 있어서, 상기 그래핀 전극과 상기 반도체층 사이의 접촉저항을 감소시키는 방법을 제공하고자 한다. 또한, 그래핀 인터커넥터 및 이를 이용한 신축성, 유연성 및 투명도를 가지는 전자 디바이스를 제공하고자 한다.

[0006] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기와 같은 목적을 달성하기 위하여, 본원의 제 1 측면은, 플렉시블(flexible)하고 스트레처블(stretchable)한 기판, 상기 기판에 형성된 반도체층, 및 상기 반도체층에 형성된 스트레처블 그래핀 전극을 포함하는, 플렉시블/스트레처블 반도체 소자를 제공할 수 있다.

[0008] 본원의 제 2 측면은, 반도체층과 그에 형성된 그래핀 전극 사이의 접촉저항을 감소시키는 방법으로서, (1) 상기 그래핀 전극 형성 전에 상기 반도체층 사이의 자연산화막을 제거하는 것, (2) 상기 그래핀 전극과 상기 반도체층과의 접촉 면적이 가능한 넓게 되도록 형성하는 것, (3) 상기 그래핀 전극과 상기 반도체층 사이에 버퍼층을 형성하는 것, 및 (4) 상기 그래핀 전극 상에 접촉저항 감소층을 형성하는 것으로 이루어진 군에서 선택되는 하나 이상을 포함하는, 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법을 제공할 수 있다.

[0009] 본원의 제 3 측면은, 탄성체 기관; 상기 탄성체 기관 상에 형성되는 복수개의 소자; 및 상기 복수개의 소자를 상호 연결하는 그래핀 인터커넥터를 포함하는, 전자 디바이스를 제공할 수 있다.

발명의 효과

[0010] 본원에 의하면, 플렉시블하고 스트레처블한 기관 및 스트레처블 그래핀 전극을 이용하여 플렉시블/스트레처블 반도체 소자를 제공할 수 있으며, 또한, 상기와 같은 소자에 있어서, 반도체층과 그에 형성된 그래핀 전극 사이의 접촉저항을 감소시킴으로써, 스트레처블 그래핀 전극을 이용하여 플렉시블/스트레처블 반도체 소자의 전기적 특성을 더욱 향상시킬 수 있다. 특히, 그래핀 전극과 반도체의 접촉시 접촉저항 증가로 인한 신호전달 지연 등의 문제점을 해결하여 반도체 소자의 제조 공정 수율 및 신뢰성을 향상시킬 수 있다. 또한, 본원에 의하여 그래핀 인터커넥터 및 이를 이용한 신축성, 유연성 및 투명도를 가지는 전자 디바이스를 제공할 수 있다.

[0011] 아울러, 우수한 전기적 특성을 갖는 그래핀 전극을 이용하여 게이트 전극 및/또는 투명 소스/드레인 전극으로 제조함으로써 전기적 광학적 및 기계적 특성이 우수한 유연성을 갖는 플렉시블/스트레처블 반도체 소자를 제조할 수 있다. 본원에 의하여, 대면적의 플렉시블 실리콘 박막 반도체 소자를 용이하게 제조할 수 있으며, 특히 상기 소자를 플렉시블 반투명하게 대면적으로 용이하게 제조할 수 있어, 다양한 전기, 전자 디바이스에 응용할 수 있다. 상기 플렉시블 실리콘 박막 반도체 소자는 박막 트랜지스터로서 사용될 수 있어, 액정디스플레이(LCD), 광전변환 소자(Photovoltaic Device), 유기발광소자(OLED), 센서, 메모리, 또는 집적회로에 응용될 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본원의 일 구현예에 따라 제조된 플렉시블/스트레처블 반도체 소자의 제조과정을 나타낸 개략도이다.
- 도 2는 본원의 일 구현예에 따라 제조된 플렉시블/스트레처블 반도체 소자의 제조과정을 나타낸 개략도이다.
- 도 3은 본원의 일 구현예에 따른 플렉시블/스트레처블 반도체 소자의 단면도이다.
- 도 4는 본원의 일 구현예에 따른 플렉시블/스트레처블 반도체 소자의 단면도이다.
- 도 5a 및 도 5b는 본원의 일 구현예에 따른 플렉시블/스트레처블 반도체 소자의 단면도이다.
- 도 6은 본원의 일 실시예에 따른 Si FET 에 있어서 그래핀 전극의 제조과정을 나타내는 개략도이다.
- 도 7a는 본원의 일 실시예에 따라 제조된 하이브리드 TFT 의 어레이의 광학적 이미지이다.
- 도 7b는 본원의 일 실시예에 따라 제조된 디바이스의 각 부분의 광학적 광투광성을 나타내는 그래프이다.
- 도 8a는 본원의 일 실시예에 따른 플렉시블/스트레처블 반도체 소자에 있어서 0.1 V 드레인 전압 하에서 BOE 처리 전후의 디바이스의 성능을 나타내는 그래프이다.
- 도 8b는 본원의 일 실시예에 따른 플렉시블/스트레처블 반도체 소자에 있어서 상이한 게이트 전압에서 채널 길이의 함수로서 0_n -상태(R_{on})에서 저항을 나타내는 그래프이다.
- 도 9a는 본원의 일 실시예에 따른 Cr/Au, 그래핀 및 ITO를 포함하는 다양한 전극을 이용한 단결정 Si TFT의 전달 특성을 나타낸 그래프이다.
- 도 9b는 본원의 일 실시예에 따른 오믹 접촉, 저항 독립적인 전류-전압 특성을 나타내는 그래핀 전극을 가진 디바이스의 전류-전압 특성을 나타내는 그래프이다.
- 도 10a는 본원의 일 실시예에 따른 플렉시블/스트레처블 반도체 소자에 있어서 ITO 어닐링 전 후의 면저항을 나타내는 도면이다.
- 도 10b는 본원의 일 실시예에 따른 SiO₂ 웨이퍼 상에 전사한 후에 그래핀전극의 프로브 측정 그래프이다.
- 도 11은 본원의 일 실시예에 따라 제조된 플렉시블/스트레처블 반도체 소자에 있어서 각각 10⁴, 10⁵ 및 10² 의 온/오프(on/off) 비율을 나타내는 그래프이다.
- 도 12a는 본원의 일 실시예에 따른 플렉시블/스트레처블 반도체 소자에 있어서 굽힘 시험 전 및 시험 중 디바이스를 나타낸다.

도 12b는 본원의 일 실시예에 따른 플렉시블/스트레처블 반도체 소자에 있어서 0.4 %의 인장 및 압축 변형에 해당되는 20 mm 반경으로 구부리기 전, 구부리는 동안 및 구부린 후에 트랜지스터의 성능의 변화를 나타낸다.

도 13은 본원의 일 실시예에 따라 제조된 넓은 접촉면적을 가진 FET의 전자 전달 특성을 나타낸 그래프이다.

도 14는 본원의 일 실시예에 따라 제조된 Au 나노 파티클 형성 전후에 그래핀 전극을 가진 FET의 전달 특성을 나타낸 그래프이다.

도 15는 본원의 일 실시예에 따라 제조된 그래핀 박막 상에 Au 컨택층 형성 전후에 그래핀 전극을 가진 FET의 전달 특성을 나타낸 그래프이다.

도 16은 본원의 일 구현예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 단면도이다.

도 17는 본원의 일 구현예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 단면도이다.

도 18은 본원의 일 구현예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 단면도이다.

도 19는 본원의 일 구현예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 단면도이다.

도 20는 본원의 일 구현예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스 패턴을 나타내는 도면이다.

도 21은 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 제조방법을 나타내는 개략도이다.

도 22는 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 이미지이다.

도 23은 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 스트레칭 테스트 이미지이다.

도 24는 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 전달 곡선 및 이를 로그 스케일로 나타낸 그래프이다.

도 25은 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 전류-전압 곡선이다.

도 26은 본원의 일 실시예에 따른 그래핀 인터커넥터를 포함하는 전자 디바이스의 변형률에 따른 전기적 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다.

[0014] 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.

[0016] 본원의 제 1 측면은, 플렉시블(flexible)하고 스트레처블(stretchable)한 기판, 상기 기판에 형성된 반도체층, 및 상기 반도체층에 형성된 스트레처블 그래핀 전극을 포함하는, 플렉시블/스트레처블 반도체 소자를 제공할 수 있다.

[0017] 예시적 구현예에 있어서, 상기 플렉시블하고 스트레처블한 기판은 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리메틸메타아크릴레이트(polymethylmethacrylate; PMMA), 폴리카보네이트(polycarbonate), 폴리에틸렌(polyethylene), 폴리프로필렌(polypropylene), 폴리스티렌(polystyrene), 폴리이미드(polyimide), 시클로올레핀 공중합체(cyclo olefin copolymer; COC), 파릴렌(parylene) 및 이들의 조합들로 이루어진 군에서 선택

되는 것일 수 있으나, 이에 제한되는 것은 아니다.

- [0018] 예시적 구현예에 있어서, 상기 반도체층은 유기물 반도체 또는 무기물 반도체일 수 있으나, 이에 제한되는 것은 아니다. 상기 무기물 반도체는, 예를 들어, Si, 탄소나노튜브, 그래핀, 화합물 반도체, 산화물 반도체 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 산화물 반도체는, 예를 들어, InGaZnO, ZnO, ZrInZnO, InZnO, ZnO, InGaZnO₄, ZnInO, ZnSnO, In₂O₃, Ga₂O₃, HfInZnO, GaInZnO, HfO₂, SnO₂, WO₃, TiO₂, Ta₂O₅, In₂O₃SnO₂, MgZnO, ZnSnO₃, ZnSnO₄, CdZnO, CuAlO₂, CuGaO₂, Nb₂O₅, TiSrO₃ 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다. 또한, 상기 유기물 반도체는, 예를 들어, 펜타센(pentacene), 알파-6T(alpha-sexithiophene), F-CuPc(hexadecafluorocopper phthalocyanine), P3HT[poly(3-hexylthiophene)], 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0019] 일 구현예에 있어서, 상기 자연산화막은 HF, NH₄F, SC1(standard chemical 1), PAN 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 용액을 이용하여 제거된 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0020] 일 구현예에 있어서, 상기 그래핀 전극은 스트레처블하고 투명한 전극으로서 제공될 수 있으며, 상기 그래핀 전극은, 예를 들어, 화학 기상 증착법에 의하여 제조되는 대면적 그래핀 필름을 이용하여 제조될 수 있으나, 이에 제한되는 것은 아니다. 그래핀은 전기적, 기계적, 화학적인 특성이 매우 안정적이고 뛰어난 뿐 아니라 우수한 전도성 물질로서 실리콘보다 100 배 빠르게 전자를 이동시키며 구리보다도 약 100 배 가량 더 많은 전류를 흐르게 할 수 있다. 또한, 그래핀은 상대적으로 가벼운 원소인 탄소만으로 이루어져 1차원 또는 2차원 나노패턴을 가공하기가 매우 용이하다는 장점이 있으며, 이를 활용하면 그래핀의 반도체-도체 성질을 조절할 수 있을 뿐 아니라 탄소가 가지는 화학결합의 다양성을 이용해 센서, 메모리 등 광범위한 기능성 소자의 제작도 가능하다.
- [0021] 일 구현예에 있어서, 상기 그래핀 전극은 화학기상증착법에 의하여 합성된 대면적 그래핀 필름을 전사한 것일 수 있으며, 이러한 대면적 그래핀 필름의 패터닝 및 전사 등의 공정을 이용하여 대면적의 그래핀 투명 전극 또는 대면적의 투명 전극 패턴을 용이하게 제조할 수 있고, 이러한 대면적 그래핀 전극 또는 투명 전극 패턴을 이용하여 대면적의 플렉시블, 스트레처블 반도체 소자를 용이하게 제조할 수 있으며, 특히 상기 소자를 다양한 플렉시블, 스트레처블 투명 전기, 전자 디바이스에 응용할 수 있다
- [0022] 예를 들어, 상기 그래핀 전극은, 그래핀 성장을 위한 금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증착법에 의하여 성장된 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다. 상기 금속 촉매층은 박막 형태일 수 있으며, 예를 들어, 약 1 nm 내지 약 1,000 nm, 약 1 nm 내지 약 500 nm, 약 1 nm 내지 약 400 nm, 또는, 약 100 nm 내지 약 400 nm 두께의 박막일 수 있으나, 이에 제한되는 것은 아니다.
- [0023] 상기 예시적 구현예에 있어서, 상기 그래핀 필름이 패터닝된 상기 금속 촉매층을 이용하여 성장된 것 일 수 있으나, 이에 제한되는 것은 아니다.
- [0024] 예시적 구현예에 있어서, 상기 그래핀 필름을 투명 및/또는 유연성 기판이나 다른 투명 및/또는 유연성 박막 상에 전사함으로써 상기 투명 전극을 플렉시블(flexible)하게 할 수 있다.
- [0025] 예시적 구현예에 있어서, 상기 그래핀 필름의 두께가 약 0.1 nm 내지 약 10 nm인 투명 박막일 수 있으나, 이에 제한되는 것은 아니다.
- [0026] 예시적 구현예에 있어서, 상기 투명 전극의 면저항이 약 1 Ω/sq 내지 약 1,000 Ω/sq 일 수 있으나, 이에 제한되는 것은 아니다.
- [0027] 예시적 구현예에 있어서, 상기 투명 전극의 투과도가 약 70% 이상, 예를 들어, 약 70% 이상 내지 약 98% 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0028] 예시적 구현예에 있어서, 상기 플렉시블/스트레처블 반도체 소자에 있어서, 상기 반도체층과 그에 형성된 스트레처블 그래핀 전극 사이의 접촉저항을 감소시킬 수 있으며, 이러한 접촉 저항 감소는, (1) 상기 그래핀 전극과 상기 반도체층 사이의 자연산화막을 제거하는 것, (2) 상기 그래핀 전극에 의하여 상기 반도체층과의 접촉 면적이 가능한 넓게 되도록 형성하는 것, (3) 상기 그래핀 전극과 상기 반도체층 사이에 버퍼층을 형성하는 것, 및 (4) 상기 그래핀 전극 상에 접촉저항 감소층을 형성하는 것으로 이루어진 군에서 선택되는 하나 이상을 포함하

는 방법에 의하여 수행될 수 있으나, 이에 제한되는 것은 아니다.

- [0029] 일 구현예에 있어서, 상기 자연산화막은 HF, NH₄F, SC1(standard chemical 1), PAN 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 용액을 이용하여 제거될 수 있으나, 이에 제한되는 것은 아니다.
- [0030] 본원의 제 2 측면은, 반도체층과 그에 형성된 그래핀 전극 사이의 접촉저항을 감소시키는 방법으로서, (1) 상기 그래핀 전극과 상기 반도체층 사이의 자연산화막을 제거하는 것, (2) 상기 그래핀 전극과 상기 반도체층과의 접촉 면적을 가능한 넓게 되도록 형성하는 것, (3) 상기 그래핀 전극과 상기 반도체층 사이에 버퍼층을 형성하는 것, 및 (4) 상기 그래핀 전극 상에 접촉저항 감소층을 형성하는 것으로 이루어진 군에서 선택되는 하나 이상을 포함하는, 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법을 제공할 수 있다.
- [0031] 예시적 구현예에 있어서, 상기 반도체층은 유기물 반도체 또는 무기물 반도체를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0032] 예시적 구현예에 있어서, 상기 (1)에서 상기 자연산화막을 제거하는 것은 HF, NH₄F, SC1(standard chemical 1), PAN 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 용액을 이용하여 수행되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0033] 예시적 구현예에 있어서, 상기 (3) 및 (4)에서 상기 버퍼층 및 상기 접촉저항 감소층 각각은 도전성 물질을 포함하여 형성되는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 도전성 물질은 ITO, IZO, Ti, Cu, Au, Pt, Ir, Cr, Mg, Ag, Ni, Al 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0034] 일 구현예에 있어서, 상기 제조된 플렉시블/스트레처블 반도체 소자의 상기 반도체층 및 상기 그래핀 전극 사이에 자연적으로 생성되는 산화막은 화학용액을 이용한 처리에 의해 제거될 수 있다. 상기 화학용액은 예를 들어, HF, NH₄F, SC1(standard chemical 1), PAN 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 일 구현예에 있어서, HF를 버퍼 산화 식각 용액(Buffered Oxide Etchant; BOE)으로 사용하는 경우에는 HF와 물의 비율을 약 1 : 약 200으로 혼합하여 사용할 수 있다. 다른 구현예에 있어서, NH₄OH, H₂O₂, H₂O의 혼합물인 SC1 용액을 사용하는 경우, 약 1 : 약 4 : 약 20의 비율로 혼합하여 약 40℃ 내지 약 80℃에서 약 10분 동안 식각하여 사용할 수 있다. 또 다른 구현예에 있어서, H₃PO₄, HNO₃, CH₃COOH, 및 H₂O의 혼합물인 PAN을 사용하는 경우에는, H₂O₂와 약 19 : 약 1의 비율로 혼합하여 65℃에서 30분 동안 식각하여 사용할 수 있다. 또 다른 실시예에 있어서, NH₄F 및 HF의 비율을 약 7 : 약 1로 하는 버퍼 산화 식각용액(BOE)을 H₂O와 약 1 : 약 5 내지 약 1 : 약 30의 비율로 혼합하여 사용할 수도 있다.
- [0035] 상기 플렉시블/스트레처블 반도체 소자의 상기 반도체층 및 상기 그래핀 전극 사이에 자연적으로 생성되는 산화막은 화학용액을 이용한 처리에 의해 제거하는 공정은 상기에 서술한 바와 같이, 그래핀 전극을 형성한 후에 산화막 제거 공정을 수행할 수도 있지만, 상기 반도체층을 형성한 후에 형성된 산화막을 산화막 제거 공정을 수행하여 제거할 수도 있다.
- [0036] 종래의 공정에서 그래핀 전극 및 반도체층 사이에 형성된 반도체 산화막이 제거되지 않고 남아서 컨택 저항의 증가 요인이 되었지만, 본원에 따른 화학 용액을 이용한 처리에 의해 절연막질인 자연산화막이 제거되기 때문에 저항증가 요인이 제거될 수 있다. 따라서, 그래핀 전극 및 반도체층 사이의 접촉 저항이 감소되어 소자의 신뢰성이 향상될 수 있다.
- [0037] 다른 구현예에 있어서, 상기 플렉시블/스트레처블 반도체 소자에 있어서, 상기 반도체층 및 상기 그래핀 전극 사이에 접촉면적을 증가시킴으로써, 상기 반도체층 및 상기 그래핀 전극의 접촉저항을 감소시킬 수 있다. 예시적 구현예에 있어서, 상기 반도체층 및 상기 그래핀 전극 사이에 상기 접촉면적 증가는 상기 그래핀 전극 형성 시 상기 반도체층과 가능한 넓은 면적으로 접촉할 수 있도록 형성시키는 것일 수 있으나, 이에 제한되는 것은 아니다. 일 구현예에 있어서, 상기 플렉시블/스트레처블 반도체 소자에 있어서 상기 그래핀을 이용하여 소스 전극 및 드레인 전극을 형성하는 경우, 상기 소스 전극 및 드레인 전극이 상기 반도체층을 최대한 넓게 커버할 수 있도록 형성할 수 있다.
- [0038] 또 다른 구현예에 있어서, 상기 플렉시블/스트레처블 반도체 소자에 있어서, 상기 그래핀 전극과 상기 반도체층

사이에 버퍼층을 형성하여 상기 반도체층 및 상기 그래핀 전극의 접촉저항을 감소시킬 수 있다. 예시적 구현예에 있어서, 상기 버퍼층은 전도성 물질을 포함하여 형성될 수 있으며, 특히 상기 전도성 물질은 상기 소자 제조 과정에서 사용되는 다양한 식각액에 저항성이 있는 도전성 물질을 사용하는 것이 바람직하다. 예시적 구현예에 있어서, 상기 전도성 물질 ITO, IZO, Ti, Cu, Au, Pt, Ir, Cr, Mg, Ag, Ni, Al 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 버퍼층의 두께는 ~수십 nm일 수 있다. 상기 전도성 물질을 포함하는 버퍼층이 형성되는 경우, 상기 반도체층 및 상기 그래핀 전극 사이의 자연산화막의 결함(defect) 등으로 상기 전도성 물질이 확산되어 침투함으로써 접촉 저항을 감소시키게 된다.

[0039] 또 다른 구현예에 있어서, 상기 플렉시블/스트레처블 반도체 소자에 있어서, 상기 그래핀 전극 상에 접촉저항 감소층을 형성하여 상기 그래핀 전극의 접촉저항을 감소시킬 수 있다. 예시적 구현예에 있어서, 상기 접촉저항 감소층은 전도성 물질을 포함하여 형성될 수 있으며, 특히 상기 전도성 물질은 상기 소자 제조 과정에서 사용되는 다양한 식각액에 저항성이 있는 도전성 물질을 사용하는 것이 바람직하다. 예시적 구현예에 있어서, 상기 전도성 물질 ITO, IZO, Ti, Cu, Au, Pt, Ir, Cr, Mg, Ag, Ni, Al 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 접촉저항 감소층의 두께는 ~수십 nm일 수 있다. 상기 그래핀 전극 상에 전도성 물질 입자를 포함하는 접촉저항 감소층을 증착시킴으로써, 상기 그래핀 전극 상에 전도성 물질 입자가 확산되어 상기 그래핀 전극 상에 전도성 물질 입자가 잔존하게 되어 접촉저항이 감소될 수 있다. 특히, 그래핀 전극 상에 형성되는 접촉저항 감소층은 상기 소자 제조 시 사용될 수 있는 식각액에 대한 저항성이 있는 전도성 물질을 이용하여 형성함으로써, 노출된 그래핀 전극을 습식 식각에 의한 악영향 즉, 그래핀 전극의 손상으로 인한 전극의 단선 발생을 방지하는 역할을 할 수 있다. 따라서, 반도체 소자의 특성이 시간에 따라 감소하는 단점을 보완해 줄 수 있다.

[0040]

[0041] 이하, 본원의 그래핀 투명 전극, 이를 포함하는, 플렉시블 실리콘 박막 반도체 소자 및 그의 제조 방법에 대하여 구현예 및 실시예를 도면을 이용하여 자세히 설명한다. 그러나, 본원이 이에 제한되는 것은 아니다.

[0042] 도 1 및 도 2는 본원의 일 구현예에 따라 제조된 플렉시블, 신축가능한 반도체 소자의 제조과정을 나타낸 개략도이다. 도 1 및 도 2에 도시된 바와 같이, 상기 플렉시블, 신축가능한 반도체 소자는 플렉시블하고, 스트레처블한 기판(11, 12) 상에 하부 그래핀 전극(21, 22), 절연체층(31, 32), 반도체층(41, 42)을 포함할 수 있고, 반도체층(41) 상에 자연적으로 생성되는 산화막(41', 42')을 포함할 수 있다.

[0043] 예시적 구현예에 있어서, 상기 플렉시블하고 스트레처블한 기판(11, 12)은 당업계에 알려진 물질을 당업자가 적의 선택하여 사용할 수 있으며, 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리메틸메타아크릴레이트(polymethylmethacrylate; PMMA), 폴리카보네이트(polycarbonate), 폴리에틸렌(polyethylene), 폴리프로필렌(polypropylene), 폴리스티렌(polystyrene), 폴리이미드(polyimide), 시클로 올레핀 공중합체(cyclo olefin copolymer; COC), 파릴린(parylene) 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0044] 예시적 구현예에 있어서, 상기 반도체층(41, 42)은 유기물 반도체 또는 무기물 반도체일 수 있으나, 이에 제한되는 것은 아니다. 상기 무기물 반도체는 예를 들어, Si, 탄소나노튜브, 그래핀, 화합물 반도체, 산화물 반도체 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있고, 여기서, 산화물 반도체는, 예를 들어, InGaZnO, ZnO, ZrInZnO, InZnO, ZnO, InGaZnO₄, ZnInO, ZnSnO, In₂O₃, Ga₂O₃, HfInZnO, GaInZnO, HfO₂, SnO₂, WO₃, TiO₂, Ta₂O₅, In₂O₃SnO₂, MgZnO, ZnSnO₃, ZnSnO₄, CdZnO, CuAlO₂, CuGaO₂, Nb₂O₅, TiSrO₃ 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있다. 또한, 상기 유기물 반도체는 예를 들어, 펜타센(pentacene), 알파-6T(alpha-sexithiophene), F-CuPc(hexadecafluorocopper phthalocyanine), P3HT(poly(3-hexylthiophene)), 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있다.

[0045] 예시적 구현예에 있어서, 스트레처블 그래핀 전극(51, 52)은, 그래핀 성장을 위한 금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증착법에 의하여 성장된 것 일 수 있으나, 이에 제한되는 것은 아니다.

[0046] 예시적 구현예에 있어서, 상기 금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다. 상기 금속 촉매층은 박막 형태일 수 있으며, 예를 들어, 약 1 nm 내지 약 1,000 nm, 약

1 nm 내지 약 500 nm, 약 1 nm 내지 약 400 nm, 또는, 약 100 nm 내지 약 400 nm 두께의 박막일 수 있으나, 이에 제한되는 것은 아니다.

[0047] 상기 예시적 구현예에 있어서, 상기 그래핀 필름이 패터닝된 상기 금속 촉매층을 이용하여 성장된 것일 수 있으나, 이에 제한되는 것은 아니다.

[0048] 예시적 구현예에 있어서, 상기 그래핀 필름을 투명 및/또는 유연성 기판이나 다른 투명 및/또는 유연성 박막 상에 전사함으로써 상기 투명 전극을 플렉시블(flexible)하게 할 수 있다.

[0049] 예시적 구현예에 있어서, 상기 그래핀 필름의 두께가 약 0.1 nm 내지 약 10 nm인 투명한 박막일 수 있으나, 이에 제한되는 것은 아니다.

[0050] 예시적 구현예에 있어서, 상기 그래핀 전극의 면저항이 약 1 Ω/sq 내지 약 1,000 Ω/sq 일 수 있으나, 이에 제한되는 것은 아니다.

[0051] 예시적 구현예에 있어서, 상기 그래핀 전극의 투과도가 약 70% 이상, 예를 들어, 약 70% 이상 내지 약 98% 이하일 수 있으나, 이에 제한되는 것은 아니다.

[0052] 제조된 플렉시블/스트레처블 반도체 소자의 상기 반도체층(41) 또는 상기 그래핀 전극(52) 상에 자연적으로 생성되는 산화막(41')은 화학용액을 이용한 처리에 의해 제거되며, 이때 사용되는 상기 화학용액은 예를 들어, HF, NH₄F, SC1(standard chemical 1), PAN 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있다. 일 구현예에 있어서, HF를 버퍼 산화 식각 용액(Buffered Oxide Echant; BOE)으로 사용하는 경우에는 HF와 물의 비율을 약 1 : 약 200으로 혼합하여 사용할 수 있다. 다른 구현예에 있어서, NH₄OH, H₂O₂, H₂O의 혼합물인 SC1 용액을 사용하는 경우, 약 1 : 약 4 : 약 20의 비율로 혼합하여 약 40℃ 내지 약 80℃에서 약 10분 동안 식각하여 사용할 수 있다. 또 다른 구현예에 있어서, H₃PO₄, HNO₃, CH₃COOH, H₂O의 혼합물인 PAN을 사용하는 경우에는, H₂O₂와 약 19 : 약 1의 비율로 혼합하여 약 65℃에서 약 30분 동안 식각하여 사용할 수 있다. 또 다른 구현예에 있어서, NH₄F 및 HF의 비율을 약 7 : 약 1로 하는 버퍼 산화 식각용액(BOE)을 H₂O와 약 1 : 약 5 내지 약 1 : 약 30의 비율로 혼합하여 사용할 수도 있다.

[0053] 또한, 플렉시블/스트레처블 반도체 소자의 상기 반도체층(41) 상에 자연적으로 생성되는 산화막(41')은 화학용액을 이용한 처리에 의해 제거하는 공정은 도 1에 도시된 바와 같이, 상기 반도체층(41)을 형성한 후에 형성된 산화막(41')을 산화막 제거 공정을 수행하고 그래핀 전극(52)을 형성할 수 있지만, 도 2에 도시된 바와 같이, 그래핀 전극(52)을 형성하고 패터닝한 후에 자연적으로 생성되는 산화막(42')을 제거하는 공정을 수행할 수도 있다.

[0054] 종래의 공정에서 그래핀 전극 및 반도체층 사이에 형성된 반도체 산화막이 제거되지 않고 남아서 접촉 저항의 증가 요인이 되었지만, 본원에 따른 화학 용액을 이용한 처리에 의해 절연막질인 자연 산화막(41', 42')이 제거되기 때문에 저항증가 요인이 제거될 수 있다. 따라서, 그래핀 전극(51, 52) 및 반도체층(41, 42) 사이의 접촉 저항이 감소되어 소자의 신뢰성이 향상될 수 있다.

[0055] 도 3은 본원의 일 구현예에 따른 플렉시블/스트레처블 반도체 소자의 단면도이다. 도 3에 도시된 바와 같이, 플렉시블/스트레처블 반도체 소자는 플렉시블/스트레처블 기판(13) 상에 하부 그래핀 전극(23), 절연체층(33), 반도체층(43) 및 상부 그래핀 전극(53)을 포함할 수 있으며, 상기 반도체층(43) 및 상기 상부 그래핀 전극(53) 사이에 접촉면적을 증가시킬 수 있다.

[0056] 예시적 구현예에 있어서, 상기 플렉시블하고, 신축가능한 기판(13)은 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리메틸메타아크릴레이트(polymethylmethacrylate; PMMA), 폴리카보네이트(polycarbonate), 폴리에틸렌(polyethylene), 폴리프로필렌(polypropylene), 폴리스티렌(polystyrene), 폴리이미드(polyimide), 시클로올레핀 공중합체(cyclo olefin copolymer; COC), 파릴린(parylene) 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0057] 예시적 구현예에 있어서, 상기 반도체층(43)은 유기물 반도체 또는 무기물 반도체인 것일 수 있으나, 이에 제한되는 것은 아니다.

[0058] 예시적 구현예에 있어서, 상기 접촉면적 증가는 상기 그래핀 전극을 상기 반도체층에 넓게 형성시키는 것일 수 있으나, 이에 제한되는 것은 아니다.

- [0059] 도 4 는 본원의 일 구현예에 따른 버퍼층이 형성된 플렉시블/스트레처블 반도체 소자의 단면도이다. 도 4에 도시된 바와 같이, 상기 플렉시블/스트레처블 반도체 소자는 플렉시블/스트레처블 기판(14) 상에 하부 그래핀 전극(24), 절연체층(34), 반도체층(44) 및 상부 그래핀 전극(54)을 포함할 수 있으며, 상기 반도체층(44) 및 상기 상부 그래핀 전극(54) 사이에 증착된 버퍼층(44')을 포함할 수 있다.
- [0060] 도 5는 본원의 일 구현예에 따른 접촉저항 감소층이 형성된 플렉시블/스트레처블 반도체 소자의 단면도이다. 도 5a에 도시된 바와 같이, 상기 플렉시블/스트레처블 반도체 소자는 플렉시블/스트레처블 기판(15) 상에 하부 그래핀 전극(25), 절연체층(35), 반도체층(45) 및 상부 그래핀 전극(55)을 포함할 수 있으며, 상기 그래핀 전극(55) 상에 증착된 접촉저항 감소층(55')을 포함할 수 있다. 도 5b를 참조하면, 일 구현예에 있어서, 플렉시블/스트레처블 기판(16) 상에 하부 그래핀 전극(26), 절연체층(36)을 포함하며, 산화물, 실리콘 등의 반도체층(46) 상에 그래핀 전극(55)을 올린 후, 전도도 향상을 위해 증착된 접촉저항 감소층(56')을 소스-드레인 및 배선 쪽 전체에 올린 구조를 형성할 수 있다. 상기 접촉저항 감소층(56')은 금속을 이용하여 제조될 수 있으며, 이러한 금속을 이용한 접촉저항 감소층(56')은 진공증착 혹은 용액을 이용한 전기도금, 자기조립법 등에 의하여 형성될 수 있다. 이러한 구조의 장점은 반도체층으로의 이온, 기체 침입을 막고 전도도를 향상시킬 수 있다.
- [0061] 예시적 구현예에 있어서, 상기 플렉시블/스트레처블 기판(14, 15, 16)은 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리메틸메타아크릴레이트(polymethylmethacrylate; PMMA), 폴리카보네이트(polycarbonate), 폴리에틸렌(polyethylene), 폴리프로필렌(polypropylene), 폴리스티렌(polystyrene), 폴리이미드(polyimide), 시클로 올레핀 공중합체(cyclo olefin copolymer; COC), 파릴린(parylene) 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0062] 예시적 구현예에 있어서, 상기 반도체층(44, 45, 46)은 유기물 반도체 또는 무기물 반도체인 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0063] 예시적 구현예에 있어서, 상기 버퍼층(44') 및 상기 접촉저항 감소층(55', 56') 각각은 식각액에 저항성이 있는 도전성 물질인 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 도전성 물질은 예를 들어, IT0, IZO, Ti, Cu, Au, Pt, Ir, Cr, Mg, Ag, Ni, Al 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0064] 상기 버퍼층(44') 및 상기 접촉저항 감소층(55', 56') 각각이 금속을 포함하는 도전성 물질을 이용하여 형성되는 경우, 상기 그래핀 전극(54, 55, 56) 사이 또는 그래핀 전극(54, 55, 56) 상에 도전성 물질의 상기 금속 분자 또는 입자가 확산되어 상기 그래핀 전극 사이 또는 그래핀 전극 상에 금속원자가 잔존하게 되어 접촉저항이 감소될 수 있다. 특히, 상기 접촉저항 감소층(55', 56') 각각은 식각액에 대한 저항성이 있는 도전성 물질을 이용하여 형성됨으로써, 노출된 그래핀 전극(55, 56)을 습식 식각에 의한 악영향 즉, 그래핀 전극(55, 56)의 손상으로 인한 전극의 단선 발생을 방지하는 역할을 할 수 있다. 따라서, 반도체 소자의 특성이 시간에 따라 감소하는 단점을 보완해 줄 수 있다.
- [0065] 본원의 제 3 측면은, 탄성체 기판; 상기 탄성체 기판 상에 형성되는 복수개의 소자; 및 상기 복수개의 소자를 상호 연결하는 그래핀 인터커넥터를 포함하는, 전자 디바이스를 제공할 수 있다.
- [0066] 본원의 제 3 측면에 따른 전자 디바이스의 상기 탄성체 기판 상에 형성되는 상기 복수개의 소자는 본원의 상기 제 1 측면에 따른 플렉시블/스트레처블 반도체 소자를 포함하는 것일 수 있으며, 상기 플렉시블/스트레처블 반도체 소자는 본원의 상기 제 2 측면에 따른 반도체층과 그래핀 전극 사이의 접촉저항을 감소시키는 방법에 의해 형성되는 것을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0067] 예시적 구현예에 있어서, 상기 그래핀 인터커넥터는 도핑된 그래핀층으로 형성되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0068] 예시적 구현예에 있어서, 상기 그래핀 인터커넥터는 복수개의 그래핀층을 적층하여 형성되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0069] 예시적 구현예에 있어서, 상기 그래핀 인터커넥터는 그래핀층 및 상기 그래핀 층에 증착된 금속 나노입자를 포함하여 형성되는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 금속 나노입자는 Ag, Au, Pt, Pd, Fe, Ni, Al, Sb, W, Tb, Dy, Gd, Eu, Nd, Pr, Sr, Mg, Cu, Zn, Co, Mn, Cr, V, Mo, Zr, Ba 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.

- [0070] 예시적 구현예에 있어서, 상기 그래핀 인터커넥터는 금속 나노입자 및 그래핀층을 교대로 복수회 적층하여 형성되는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 금속 나노입자는 Ag, Au, Pt, Pd, Fe, Ni, Al, Sb, W, Tb, Dy, Gd, Eu, Nd, Pr, Sr, Mg, Cu, Zn, Co, Mn, Cr, V, Mo, Zr, Ba 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0071] 예시적 구현예에 있어서, 상기 탄성체 기판은 열가소성 탄성 중합체(thermoplastic elastomer), 스티렌계 물질(styrenic materials), 올레핀계 물질(olefenic materials), 폴리올레핀(polyolefin), 폴리우레탄 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 합성고무(synthetic rubbers), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리부타디엔(polybutadiene), 폴리이소부티렌(polyisobutylene), 폴리(스티렌-부타디엔-스티렌)(poly(styrene-butadiene-styrene)), 폴리우레탄(polyurethanes), 폴리클로로프렌(polychloroprene), 실리콘 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0072] 예시적 구현예에 있어서, 상기 탄성체 기판은 약 1% 내지 약 30%의 변형률로 변형되는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 탄성체 기판을 변형시키는 것은 외력을 적용할 수 있다. 예를 들어, 상기 탄성체 기판을 굽힘, 롤링, 굴곡 또는 확장시킴으로써 변형시킬 수 있다. 또한, 탄성체 기판의 변형은 열 방법을 통해 상기 탄성체 기판의 온도를 상승시킴으로써 유발되는 열팽창에 의해 성취될 수도 있다.
- [0073] 도 16은 본원의 일 구현예에 따른 전자 디바이스의 단면도이다. 도 16을 참조하면, 두 개의 소자 사이를 연결하는 상기 그래핀 인터커넥터는 도핑된 그래핀층으로 형성되는 것일 수 있다. 상기 그래핀층에 추가되는 도펀트로는 예를 들어, P형 도펀트 또는 N형 도펀트일 수 있으나, 이에 제한되는 것은 아니다. 순수한 그래핀은 밴드갭을 가지지 않고 있지만 도펀트가 추가된 그래핀은 밴드갭을 가지고 있어 전자적 구조를 조절하는 것이 가능하다. 따라서, 전계효과 트랜지스터와 같은 소자를 만드는 데에 매우 유용하다. 일부 구현예들에서, 상기 도펀트는 이온성 액체, 이온성 기체, 산류 화합물 및 유기분자계 화합물로 이루어지는 군으로부터 선택된 하나 이상을 사용하는 것일 수 있으며, 상기 도펀트는, 예를 들어, NO₂BF₄, NOBF₄, NO₂SbF₆, HCl, H₂PO₄, H₃CCOOH, H₂SO₄, HNO₃, AuCl₃, 나피온(Nafion), SOCl₂, Br₂, PVDF (polyvinylidene fluoride), 디클로로디시아노퀴논, 옥손, 디미리스토일포스파티딜이노시톨 및 트리플루오로메탄술폰이미드로 이루어진 군으로부터 선택된 하나 이상을 사용하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0074] 도 17은 본원의 일 구현예에 따른 전자 디바이스의 단면도이다. 도 17을 참조하면, 두 개의 소자 사이를 연결하는 상기 그래핀 인터커넥터는 그래핀층을 적층하여 형성되는 것일 수 있다. 일 구현예에 있어서, 상기 그래핀층은, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학기상증착(chemical vapour deposition; CVD) 방법에 의하여 성장될 수 있다.
- [0075] 예를 들어, 상기 전이금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V, Zr, 스테인레스 스틸 및 이들의 조합들로 이루어진 군에서 선택될 수 있다. 이 때 전이금속 촉매층은 단일층 그래핀을 형성하므로, 전사 과정을 반복함에 따라 그래핀의 층수의 제어가 가능할 수 있다. 일 구현예에 있어서, 그래핀의 층수가 한층, 두층, 및 세층으로 증가하여 적층함에 따라, 면저항은 약 500 Ω/sq 내지 약 50 Ω/sq에서 약 300 Ω/sq 내지 약 10 Ω/sq로, 투과도는 약 550 nm 파장의 빛에 대해 약 97.1%에서 약 91.2%로 감소할 수 있다. 이러한 결과는 그래핀 한층당 투과도를 약 2.3%로 감소시킬 수 있으며, 또한 반복적인 전사 과정을 통해 그래핀 겹수를 완벽하게 제어할 수 있다는 것을 알 수 있다.
- [0076] 상기 화학기상증착법은 고온 화학기상증착(Rapid thermal chemical vapour deposition; RTCVD), 유도결합플라즈마 화학기상증착(inductively coupled plasma-chemical vapor deposition; ICP-CVD), 저압 화학기상증착(low pressure chemical vapor deposition; LPCVD), 상압 화학기상증착(atmospheric pressure chemical vapor deposition; APCVD), 금속 유기화학기상증착(metal organic chemical vapor deposition; MOCVD), 및 플라즈마 강화 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD) 방법을 포함할 수 있으나, 이제 제한되는 것은 아니다.
- [0077] 상기 그래핀은 금속 촉매층을 기상 탄소 공급원을 투입하고 열처리함으로써 그래핀을 성장시킬 수 있다. 일 구현예에 있어서, 금속 촉매층을 챔버에 넣고 일산화탄소, 에탄, 에틸렌, 에탄올, 아세틸렌, 프로판, 부탄, 부타디엔, 펜탄, 헥산, 사이클로펜타디엔, 헥산, 사이클로헥산, 벤젠, 톨루엔 등과 같은 탄소 공급원을 기상으로 투입하면서, 예를 들어, 약 300℃ 내지 약 2000℃의 온도로 열처리하면 상기 탄소 공급원에 존재하는 탄소 성분들이 결합하여 6각형의 판상 구조를 형성하면서 그래핀이 생성된다. 이를 생각하면 균일한 배열 상태를 가지는

그래핀이 얻어지게 된다. 그러나, 금속 촉매층 상에서 그래핀을 형성시키는 방법이 화학기상증착 방법에 국한되지 않으며, 본원의 예시적인 구현예에 있어서는 금속 촉매층 상에 그래핀을 형성하는 모든 방법을 이용할 수 있으며, 본원이 금속 촉매층 상에 그래핀을 형성하는 특정 방법에 제한되지 않는다는 것이 이해될 것이다.

[0078] 도 18은 본원의 일 구현예에 따른 전자 디바이스의 단면도이다. 도 18을 참조하면, 두 개의 소자 사이를 연결하는 상기 그래핀 인터커넥터는 금속 나노입자를 증착하여 형성되는 것일 수 있다. 예를 들어, 상기 금속 나노입자는 Ag, Au, Pt, Pd, Fe, Ni, Al, Sb, W, Tb, Dy, Gd, Eu, Nd, Pr, Sr, Mg, Cu, Zn, Co, Mn, Cr, V, Mo, Zr, Ba 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있다.

[0079] 도 19는 본원의 일 구현예에 따른 전자 디바이스의 단면도이다. 도 19를 참조하면, 두 개의 소자 사이를 연결하는 상기 그래핀 인터커넥터는 금속 나노입자 및 그래핀층을 교대로 복수회 적층하여 형성되는 것일 수 있다. 예를 들어, 상기 금속 나노입자는 Ag, Au, Pt, Pd, Fe, Ni, Al, Sb, W, Tb, Dy, Gd, Eu, Nd, Pr, Sr, Mg, Cu, Zn, Co, Mn, Cr, V, Mo, Zr, Ba 및 이들의 조합들로 이루어진 군에서 선택되는 것일 수 있다.

[0080] 상기 그래핀 인터커넥터의 길이가 길어지게 되면 그래핀 인터커넥터에서 발생하는 저항으로 인해 문제가 될 수 있는데, 상기에 서술된 바와 같이, 그래핀에 도펀트를 추가하고, 그래핀층을 복수층으로 적층하고, 그래핀 층에 금속 나노입자를 증착하고, 금속 나노입자 및 그래핀 층을 복수 회 적층하여 샌드위치 구조로 형성하여 저항을 감소시킬 수 있다.

[0081] 도 20은 본원의 일 구현예에 따른 전자 디바이스 패턴을 나타내는 도면이다. 도 20에 도시된 바와 같이, 소자가 복수 개 배열된 패턴에서 4배 확대된 이미지를 보면 흰색의 직사각형 패턴은 하나의 소자가 들어가는 부분이고, 이러한 각 소자 하나 하나는 중간 인터커넥트에 의해 연결되어 있다. 1.5배 확대된 이미지에서 패드와 인터커넥트가 연결되는 부분에 스트레스를 흡수하여 스트레스가 집중되어 깨지는 것을 막아주도록 원형 모양의 패턴을 형성할 수 있다.

[0082] 본원에 따른 전자 디바이스는 트랜지스터, 다이오드, 레이저, MEMS, NEMS, LEDS 및 OELDS와 같은 수많은 기능성 장치 및 장치 부품을 효과적으로 집적시킬 수 있다. 본원에 따른 전자 디바이스는 종래 단단한 무기 반도체에 비해 확실한 기능적 이점을 가진다. 첫째로, 전자 디바이스는 유연할 수 있으므로, 종래 딱딱한 무기 반도체보다 구부림, 굽힘 및/또는 변형에 의해 유발된 구조적 손상이 적게 받아들인다. 둘째로, 구부러진 반도체 소자가 곡면을 이루는 내표면을 제공하기 위해 약간 기계적으로 변형 상태에 있을 수 있을 때, 본원에 따른 잡아 늘이거나 압축가능한 전자 디바이스 종래의 변형되지 않은 무기 반도체보다 더 높은 고유 전계 효과성 이동도를 나타낼 수 있다. 마지막으로, 본원의 전자 디바이스는 장치 온도 사이클링에 대해서 자유롭게 확장 및 접촉할 수 있기 때문에 우수한 열적 성질을 제공할 수 있다.

[0083]

[0084] 이하, 실시예를 이용하여 본원을 상세히 설명하지만, 본원에 이에 제한되는 것은 아니다.

실시예 1

[0085] 도 6은 Si FET 기반 그래핀의 제조과정을 나타내는 개략도이다. TFT의 제조는 상부에 300 nm 이상의 두께를 가진 SiO₂/Si 기판 상에 약 500 nm 두께의 Ni 촉매층을 형성하고, 상기 Ni 촉매층 상에 탄소 소스를 포함하는 가스 혼합물(CH₄ : H₂ : Ar = 50 : 65 : 200 sccm) 공급 하에서 950°C에서 직경 4 인치의 석영 튜브 내에서 상기 Ni 촉매층 상에 그래핀 필름을 성장시켰다. 성장된 그래핀 필름은 약 6개 층으로, 광학적 투명성에 의해 측정되었다. 상기 그래핀 박막의 면저항은 4-포인트 탐침에 의해 370 ± 10 Ω/sq로 측정되었다. 그리고 나서, Ni/SiO₂/Si 웨이퍼 상에 그래핀 박막은 하부 게이트 전극으로서 PET(~ 200 μm)로 전사하였다. Si 채널 물질의 준비는 SOI(silicon-on-insulator) 웨이퍼(SOITEC Unibond; 상부 단결정 실리콘 박막 두께 100 nm, 비저항 13.5-22.5 MΩcm) 상에 도핑된 접촉 영역을 지정하는 것으로 시작하였다. SiO₂ 마스크(~100 nm)로 지정된 영역은, P509(Filmtronics)와 같은 인을 함유한 도펀트를 SOD(spin-on-dopant) 방법을 통하여 코팅시키고 연속적으로 950°C에서 5 초 동안 어닐링 하였다. 도핑 농도는 홀 측정 시스템에 의해 2 x 10¹⁸ cm⁻³ 로 측정되었다. SiO₂ 마스크 및 SiO₂ 밀을 제거한 후에, 상부 Si 층(~ 100 nm)은 PDMS(polydimethylsiloxane) 스탬프를 사용한 전사 프린팅 방법을 이용하여 접촉층 및 게이트 전극의 역할로서 감광성 에폭시층(~ 500 nm의 두께, ~3.1의 유

전상수)을 가진 PET 코팅된 그래핀 게이트 전극으로 전사하였다.

[0086] 이후 단결정 실리콘 박막 하부의 산화 실리콘층을 BOE 용액을 이용한 에칭을 통해 제거시킨 후 광경화성 고분자 재질의 스탬프를 이용한 스탬핑 방법을 통하여 상기 단결정 실리콘층을 상기 PET/그래핀/에폭시 수지 적층체의 에폭시 수지층 상에 전사시켰다. 그리고 반도체 소자가 형성되는 영역을 제외한 나머지 영역의 단결정 실리콘층을 에칭을 통하여 제거하여 패터닝함으로써 채널층으로서 단결정 실리콘 패턴을 형성하였다.

[0087] 이후, 상기한 방법과 동일한 방법으로 제조한 별도의 투명 그래핀 필름을 PDMS 스탬프에 접촉시킨 후, 상기 에폭시 수지층 상에 스탬핑 방법을 통해 전사시켰다. 이후 포토리소그래피 및 에칭 등의 과정을 통하여 상기 단결정 실리콘 박막 패턴 상의 각 실리콘 영역 상에 전기적으로 접촉되는 투명 소스/드레인 전극 패턴을 형성함으로써, 플렉시블 반투명 실리콘 박막 반도체 소자를 완성하였다.

실시예 2

[0088] 실시예 1과 동일하게 수행하되, Si를 분리시키고, 자연산화막을 제거하기 위해 15초 동안 BOE를 이용하여 표면 처리를 수행한 후에, 1 cm x 1 cm 의 영역을 가진 그래핀 필름을 Si를 이동시키는데 사용된 방법과 유사한 건식 프린팅 방법을 이용하여 소스-드레인 전극으로서 이용되었다. Si 및 그래핀의 전사 수율은 99% 이상이었다. 소스-드레인 패턴은 포토레지스트 (AZ5214) 마스크 패턴을 이용한 산소 플라즈마 반응성 이온 에칭 공정에 의해, 1.2 μm의 두께로 형성되었다. 도 6에서 확대된 이미지는 제조된 디바이스의 개략도를 나타낸다.

[0089] 도 7a는 광학적 투광성 및 기계적 유연성의 수준을 보여주기 위한 SKKU 로고 위로 위치한 하이브리드 TFT의 어레이의 광학적 이미지를 나타낸다. 도 7b는 400 및 800 nm의 파장 사이에서 디바이스의 각 부분의 광학적 광투광성을 나타낸다. PET 기판 영향을 제외한 550 nm에서 Si 채널 영역(Si/에폭시/그래핀) 및 소스/드레인 영역(그래핀/Si/에폭시/그래핀)의 광투광도는 각각, 52% 및 38% 이다. Si 층을 통한 광투과도는 실리콘의 상부 및 하부 표면 사이에 간섭에 의해 야기된 합리적 프런지 패턴을 나타낸다. 여기에서, 550 nm에서의 소스/드레인의 광투광도는 단일 그래핀층이 가시파장 범위의 광학 광투과도에서 2.3% 감소로 이어지기 때문에 그래핀의 6개 층에 해당하는 그래핀 필름 때문에 채널 영역의 광투과도보다 14% 낮았다. 또한, 그래핀 필름의 품질은 라만 분광법에 의해 확인되었다. 에폭시/PET 기판 상에 그래핀 필름과 같은 SiO₂ 기판 상에 그래핀 필름에서 가져온 라만 스펙트럼은 우수한 전반적 그래핀 필름의 품질을 나타내는 약한 결합 관련된 D-밴드 피크를 나타낸다.

[0090] 도 8a는 0.1 V 드레인 전압 하에서 BOE 처리 전후의 디바이스의 성능을 나타낸다. 디바이스는 접촉 저항으로 인한 BOE 처리 전후에 큰 차이를 보인다. 도 8b는 상이한 게이트 전압에서 채널 길이의 함수로서 On-상태(R_{on})에서 저항을 나타낸다. R_{on} 대 L_c의 선형 핏(fit)의 절편으로부터 결정된 것처럼, BOE 처리 전에 측정된 접촉 저항은 BOE 처리 후에 2.5 kΩ인 반면, 약 300 kΩ이었다.

[0091] 자연 산화물이 그래핀을 S/D 전극으로 사용하면 왜 거대한 콘택 저항을 유도하는지, 그렇지 않다면 그것이 왜 그렇지 않는지 알아내기 위해, 금 박막을 그래핀 전극의 중앙에 증착하였다. 급격하게 향상된 디바이스의 성능은 접촉 저항의 감소 때문이다. 이러한 현상은 캐리어의 양 및 일함수 변화에 의해 설명될 수 있다. 그래핀은 초박형 물질이기 때문에, 그 두께가 자연 산화물 두께와 유사하고, 그래핀의 전하 캐리어의 양은 자연 산화물을 통하여 터널을 만들기에 충분히 있지 않다. 또한, 아무것도 없는 실리콘 및 금 증착 전후의 자연산화막에서 그래핀의 일함수의 변화를 관찰하였다.

[0092] 도 9a는 0.1 V의 드레인 전압 하에서, 채널 길이 20 μm 및 폭 50 μm 를 가진 Cr/Au(①), 그래핀(②) 및 ITO(③)를 포함하는 다양한 전극을 각각 이용한 단결정 Si TFT의 전달 특성을 나타낸 그래프이고, 도 9a의 삽도는 그래핀 전극을 이용한 디바이스의 광학 현미경 이미지를 나타낸다. 전극으로서 ITO를 사용한 디바이스가 2 cm²/Vs 의 이동도와 0.5 V의 문턱전압을 나타내는 반면에, 전극으로서 Cr/Au 및 그래핀을 사용한 디바이스는 350 cm²/Vs 및 320 cm²/Vs 의 이동도와 각각, 1 V 및 2.5 V 문턱전압을 나타낸다. 도 9b는 본 실시예에 따른 오믹 접촉, 저항 독립적인 전류-전압 특성을 나타내는 그래핀 전극을 가진 디바이스의 전류-전압 특성을 나타내는 그래프이다(① V_g=15 V, ② V_g=12 V, ③ V_g=9 V, ④ V_g=6 V, ⑤ V_g=3 V). 도 10a는 본 실시예에 따른 플렉시블/스트레처를 반도체 소자에 있어서 ITO 어닐링 전 후의 면저항을 나타내는 도면이고, 도 10b는 본 실시예에 따른 SiO₂ 웨이퍼 상에 전사한 후에 그래핀 전극의 프로브 측정 그래프이다. ITO 전극을 사용한 디바이스는 Cr/Au 및 그래핀을 사용한 디바이스와 비교하여 매우 낮은 특성을 보였으며, 이것은 그래핀과 비교하여 높은 면

저항을 나타낸다(도 10a, 도 10b). 이러한 높은 면저항은 PET와 같은 플라스틱 기판 상에서는 불가능한 열 어닐링에 의해 극복할 수 있다. Cr/Au 의 on-상태 저항 및 그래핀 디바이스 사이에서의 갭은 2.5 KΩ으로 나타났다. 도 11은 채널 길이 20 μm 및 폭 50 μm를 가진 Cr/Au(①), ITO(②) 및 그래핀(③)을 포함하는 다양한 전극을 각각 이용한 디바이스의 로그 스케일의 전달 곡선이다. 각각의 디바이스는, 10⁴, 10² 및 10⁵의 온/오프(on/off) 비율을 나타낸다.

[0093] 우수한 광학적 및 전기적 성질뿐만 아니라, 그래핀 기반 Si TFTs는 그래핀 전극의 강건한 굽힘 특성 때문에 우수한 기계적인 신축성을 가지고 있다. 굽힘 시험은 이러한 장치의 기계적인 특성을 확인하기 위해 수행되었다. 도 12a는 굽힘 시험 전 및 시험 중 디바이스를 나타낸다. 도 12b는 0.4 %의 인장 및 압축 변형에 해당되는 20 mm 반경으로 구부리기 전, 구부리는 동안 및 구부린 후에 트랜지스터의 성능의 변화를 나타낸다. 선형 방식의 효과적인 디바이스 이동도는 변형 및 밴딩 반경의 함수로서 퍼진 상태 μ_{off} 에서 관찰된 값으로 정상화되었다. 이러한 변형의 범위를 위해, 디바이스는 μ_{off}/μ_{0eff} 에서의 큰 변화없이 안정적인 작동을 나타내었다. 이것은 그래핀 기반 실리콘 트랜지스터가 높은 변형 하에서 안정적인 작동을 나타낸다고 제안한다.

실시예 3

[0094] 실시예 1과 동일하게 수행하되, 상기 그래핀 박막을 450 μm 면적으로 증착하여 반도체 소자를 제조하였다. 도 13은 본 실시예에 따라 제조된 넓은 접촉면적을 가진 FET의 전달 특성을 나타낸 그래프이다.

실시예 4

[0095] 실시예 1과 동일하게 수행하되, 상기 그래핀 박막과 실리콘 사이에 버퍼층으로서, Au 나노 파티클을 1 nm 내지 수십 nm 증착하여 반도체 소자를 제조하였다. 도 14는 본 실시예에 따라 제조된 Au 나노 파티클 형성 전후에 그래핀 전극을 가진 FET의 전달 특성을 나타낸 그래프이다.

실시예 5

[0096] 실시예 1과 동일하게 수행하되, 상기 그래핀 박막 상에 접촉 저항 감소 물질로서, Au 40 nm 을 증착하여 반도체 소자를 제조하였다. 도 15는 본 실시예에 따라 제조된 그래핀 박막 상에 Au 컨택층 형성 전후에 그래핀 전극을 가진 FET의 전달 특성을 나타낸 그래프이다.

실시예 6

[0097] 도 21은 본 실시예에 따른 전자 디바이스의 제조방법을 나타내는 개략도이다. 본 실시예에 따른 전자 디바이스의 제조방법을 살펴보면, 먼저, 도핑 공정(고온 공정)을 마친 실리콘 층을 Su-8을 접착층으로 사용하여 게르마늄과 산화 실리콘이 희생층으로 사용된 모재기판 위로 전사한다(도 21(a)). 이어서, 모재 기판 상에 나머지 소자 공정을 마치고 그래핀을 증착하여 전극 및 인터커넥트를 형성한다(도 21(b)). 계속해서, SU-8을 보호층으로 소자 상에 도포 및 패터닝한 후 아래의 희생층인 게르마늄을 물에 넣어 제거하여 소자를 띄운 후 고무 스탬프로 떼어낸다(도 21(c)). 이어서, 산화 실리콘을 제거하고 미리 인장 변형률을 가한 고무 기판 상에 부착시킨다(도 21(d)). 마지막으로, 스탬프를 떼어내고 가했던 인장 변형률을 제거하면, 고무 기판이 원래대로 되돌아 오면서 소자들은 압축 변형률을 받게 되어, 주름진 형태의 인터커넥트를 가진 상태로 전자 디바이스가 완성된다(도 21(e)). 완성된 전자 디바이스의 이미지는 도 22에 도시되어 있다.

[0098] 도 23은 본 실시예에 따른 전자 디바이스의 스트레칭 테스트 이미지이다. 도 23에 도시된 바와 같이, 고무 기판의 변형률 0%에서는 소자들이 압축 변형률을 갖고 있기 때문에 인터커넥트 부분에 주름이 형성되어 압축된 것을 볼 수 있다(도 23(a)). 고무 기판의 변형률 5%에서는 압축 변형률과 인장 변형률이 서로 상쇄되어 주름이 거의 사라진 것을 볼 수 있다(도 23(b)). 10%까지 당기면 인장 변형률이 압축 변형률보다 커지면서 인터커넥트 부분이 팽팽하게 당겨지고 푸아송 효과에 따라서 인장 변형률이 가해지는 방향에 수직된 방향으로 압축 응력이 가해지면서 패드 안이 더욱 더 주름지는 것을 볼 수 있다(도 23(c)). 도 23(c)에서 인터커넥트에 실질적인 스

트레인이 가해지는 것을 알 수 있다. 그래핀 인터커넥트이기 때문에 이러한 실질적인 스트레인을 견디는 것이 가능할 수 있다.

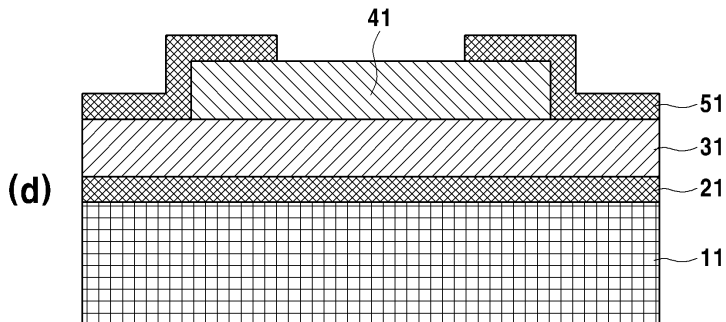
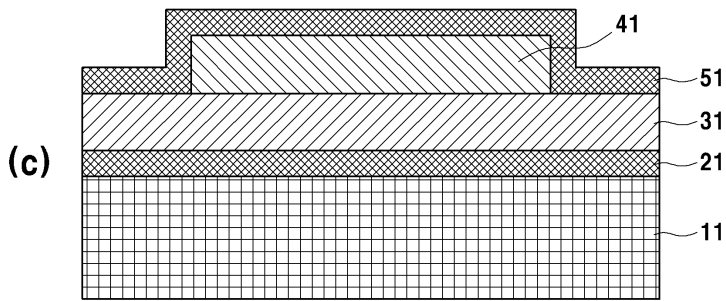
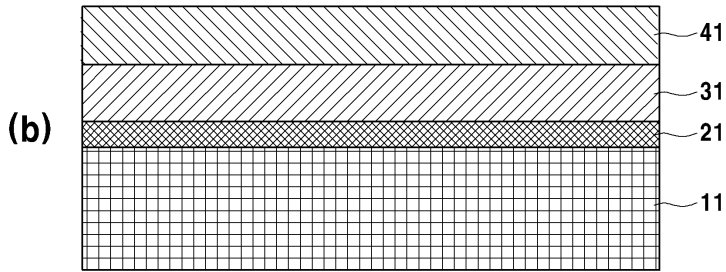
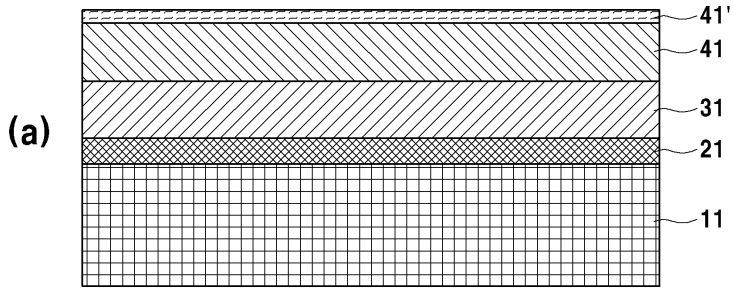
- [0099] 도 24는 본 실시예에 따른 전자 디바이스의 전달 곡선(②) 및 이를 로그 스케일(①)로 나타낸 그래프이다.
- [0100] 도 25은 본 실시예에 따른 전자 디바이스의 전류-전압 곡선이다.
- [0101] 도 26은 본 실시예에 따른 전자 디바이스의 변형률에 따른 전기적 특성을 나타낸 그래프이다. 도 26에 도시된 바와 같이, 고무 기관의 변형률이 10%까지 가해지고 다시 0%까지 줄여주어도 전기적 특성이 거의 변하지 않다는 것을 보여준다.
- [0102] 이상, 구현예 및 실시예를 들어 본원을 상세하게 설명하였으나, 본원은 상기 구현예 및 실시예들에 한정되지 않으며, 여러 가지 다양한 형태로 변형될 수 있으며, 본원의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함이 명백하다.

부호의 설명

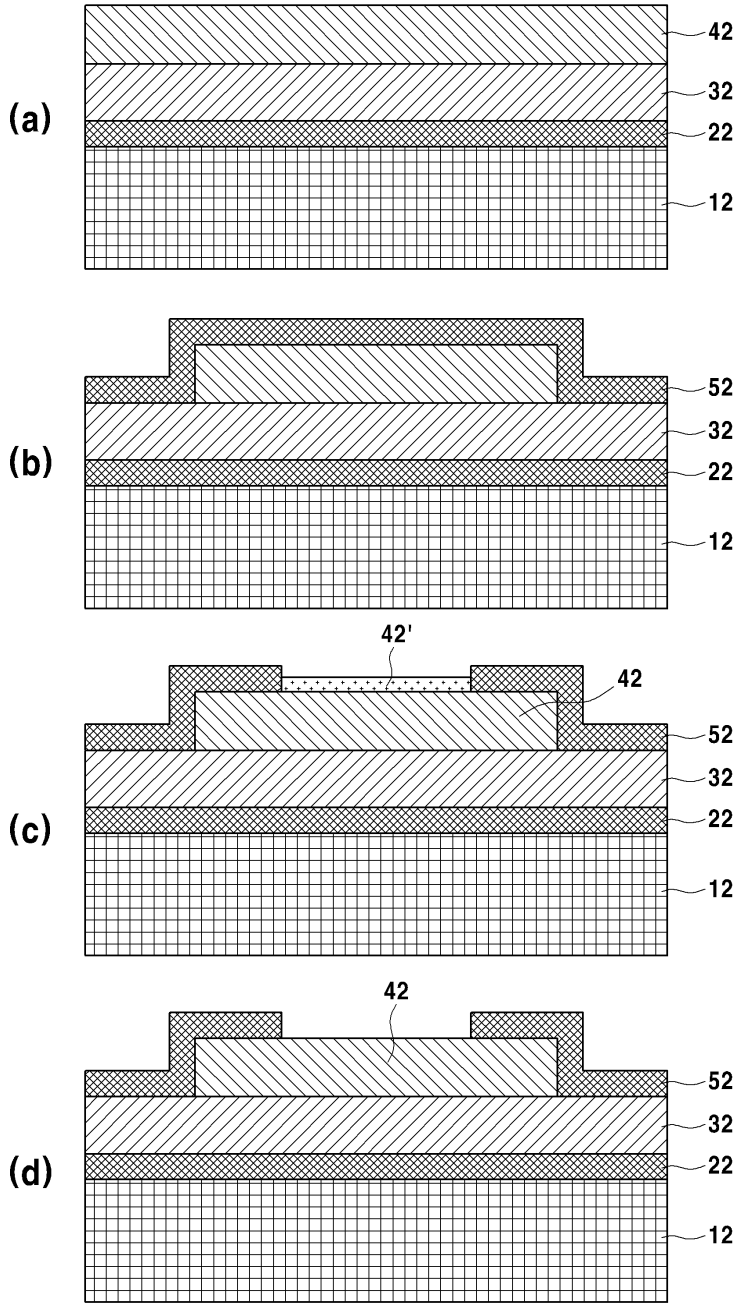
- [0103] 11, 12, 13, 14, 15, 16 : 플렉시블/스트레처블 기관
- 21, 22, 23, 24, 25, 26 : 하부 그래핀 전극
- 31, 32, 33, 34, 35, 36 : 절연층
- 41, 42, 43, 44, 45, 46 : 반도체층
- 41', 42' : 자연 산화막
- 44' : 버퍼층
- 55', 56' : 접촉저항 감소층

도면

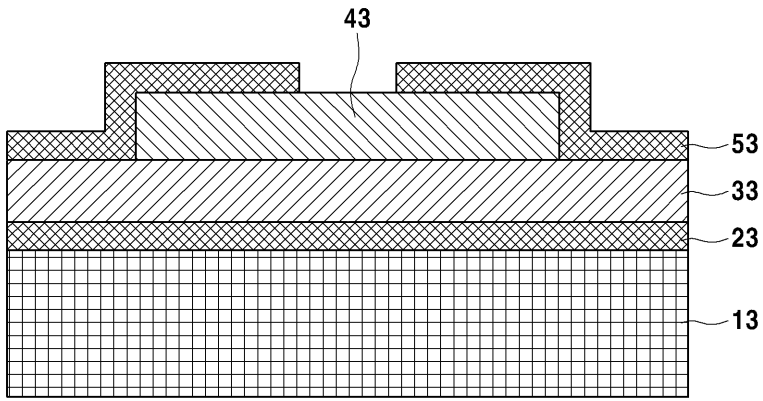
도면1



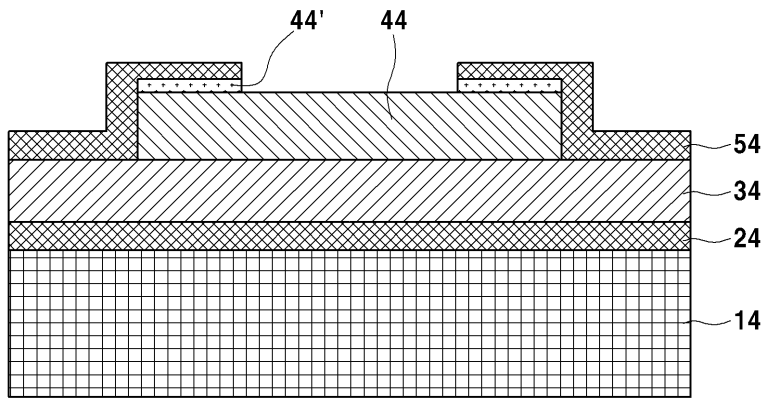
도면2



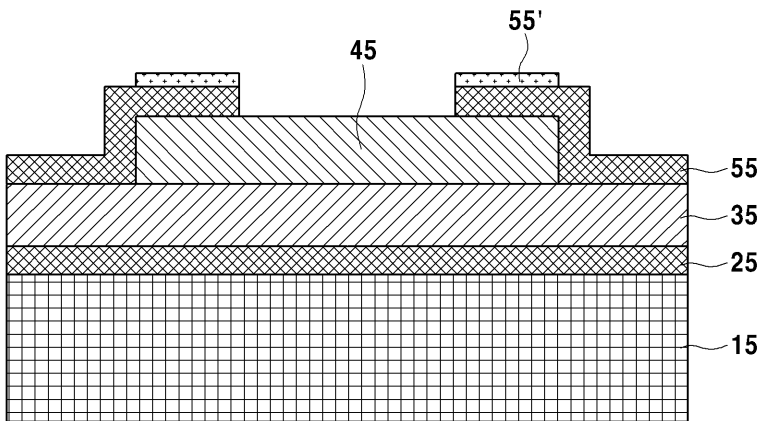
도면3



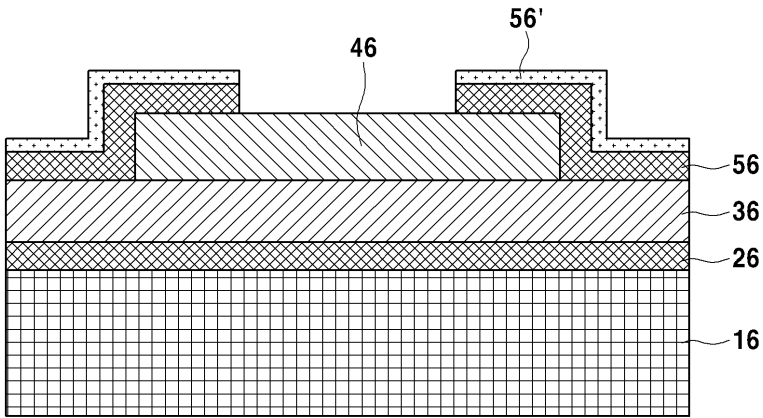
도면4



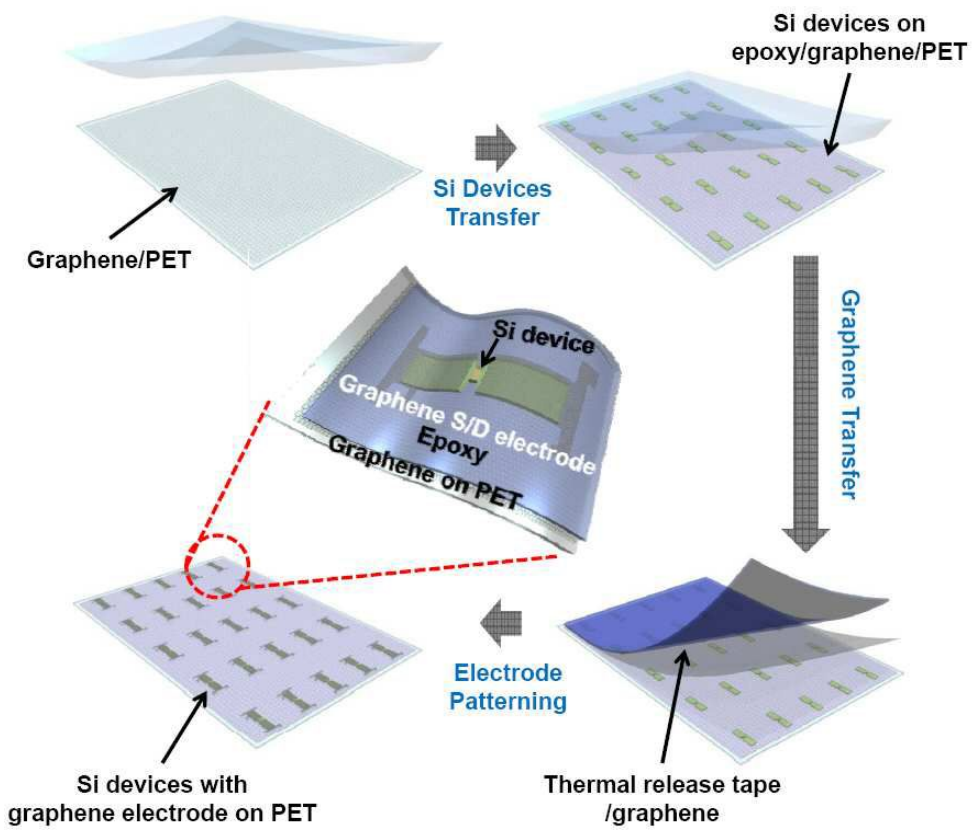
도면5a



도면5b



도면6

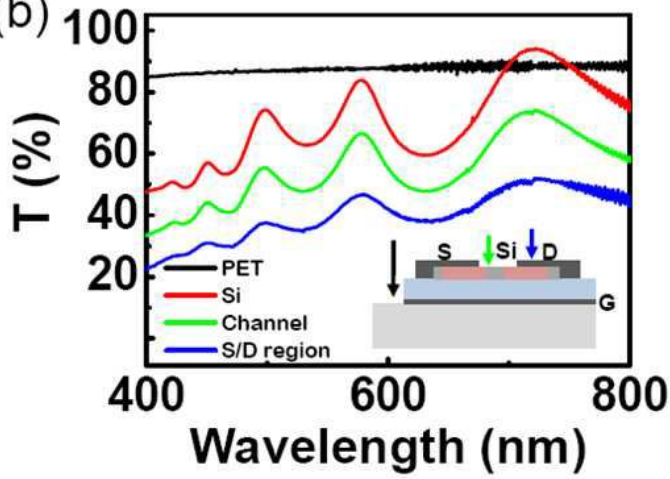


도면7

(a)

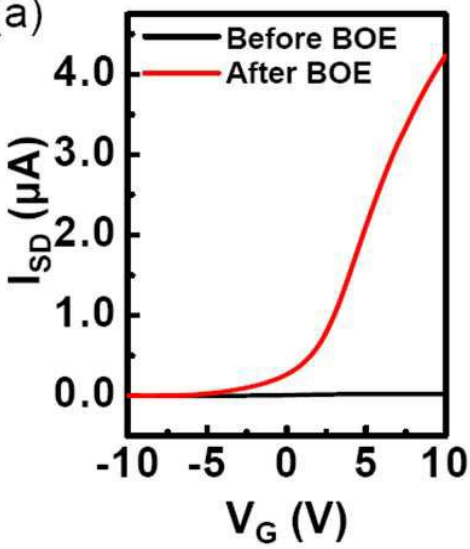


(b)

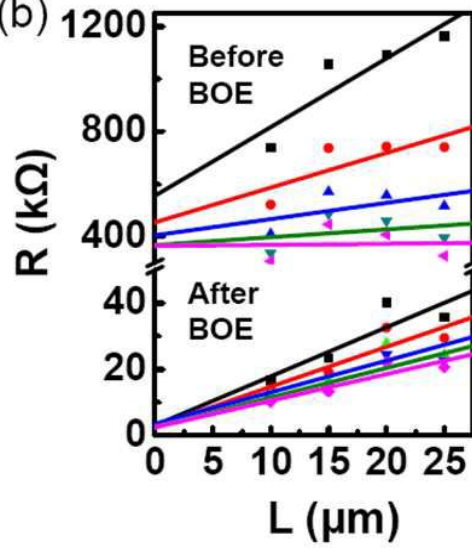


도면8

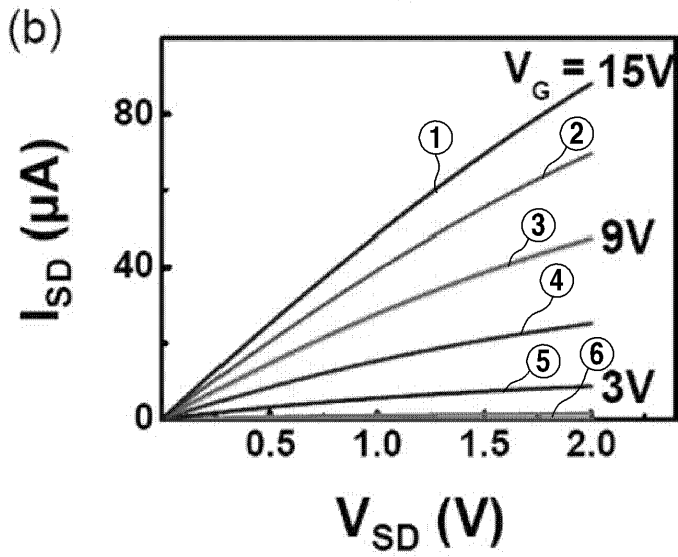
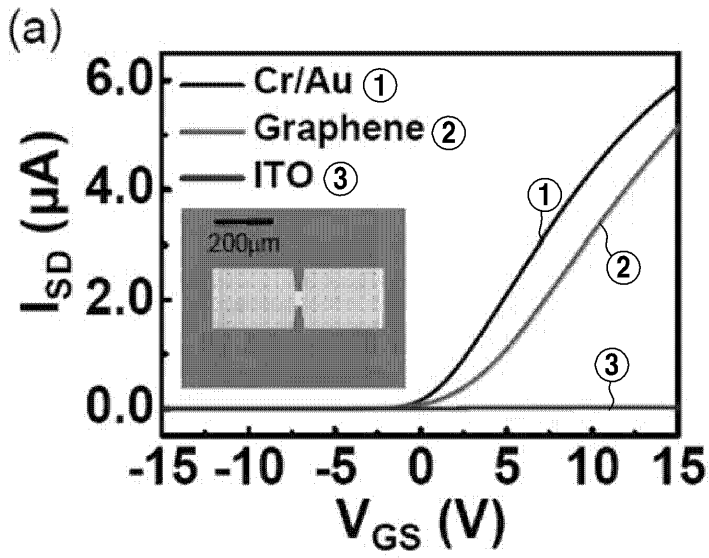
(a)



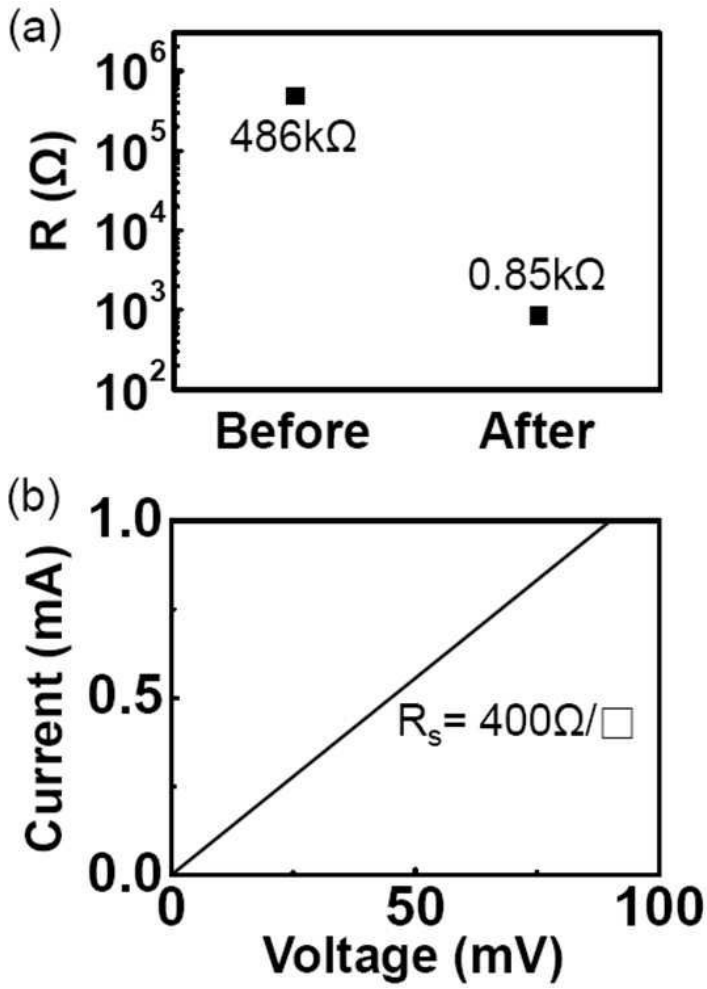
(b)



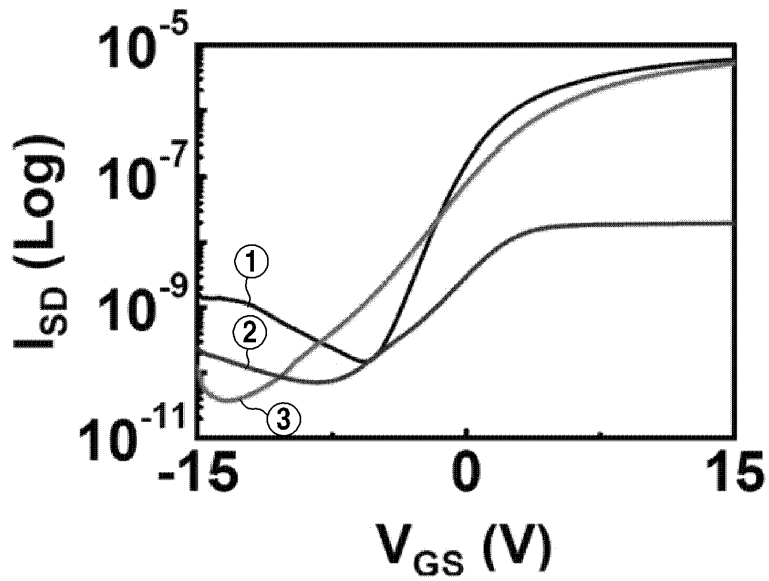
도면9



도면10

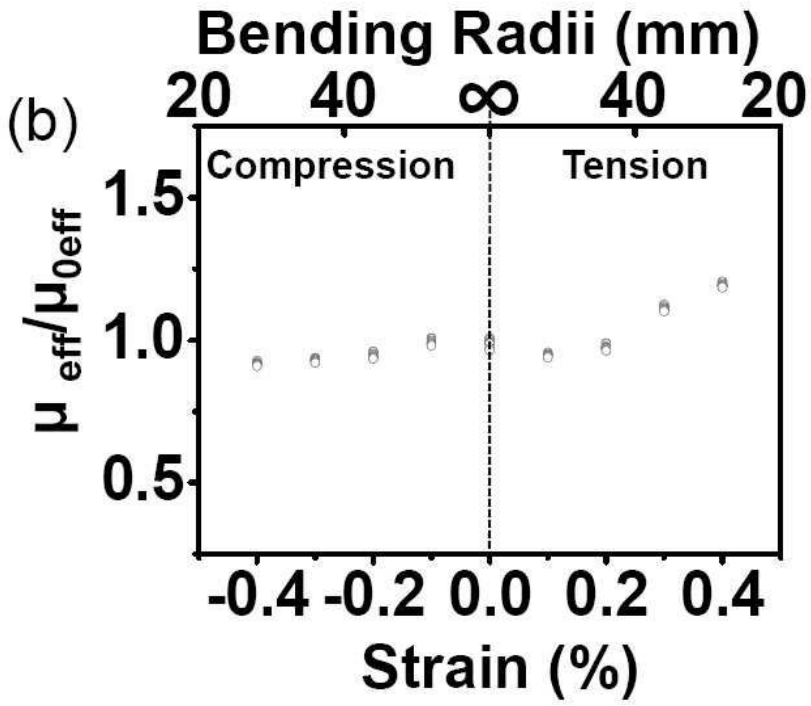


도면11

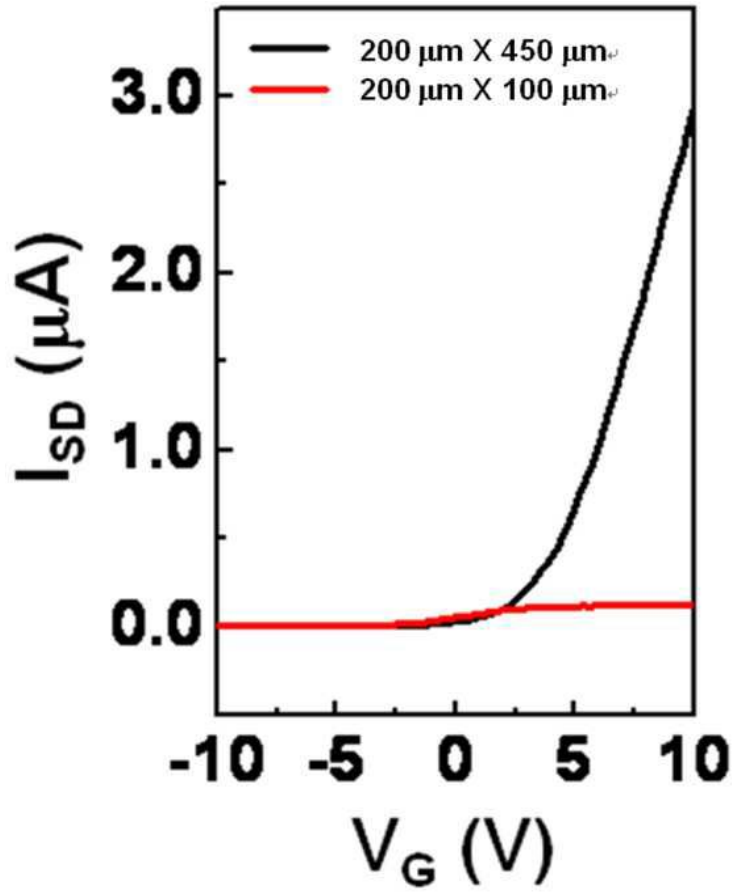


도면12

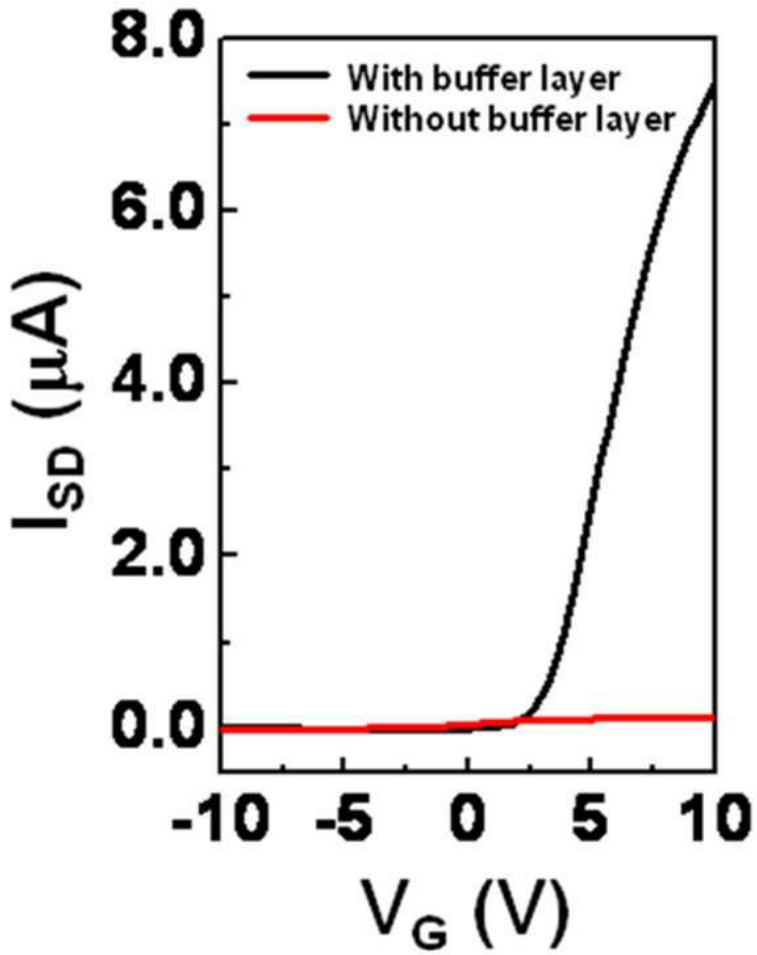
(a)



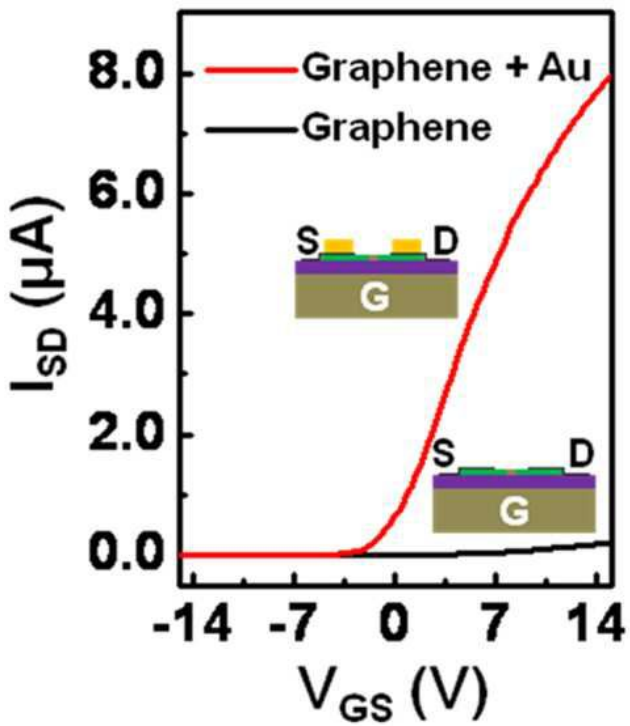
도면13



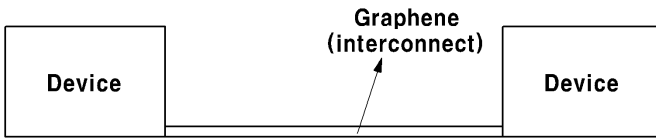
도면14



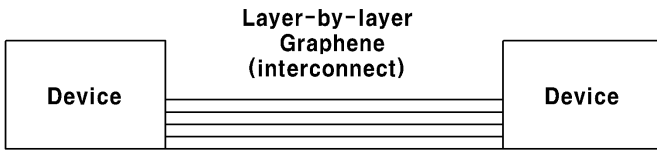
도면15



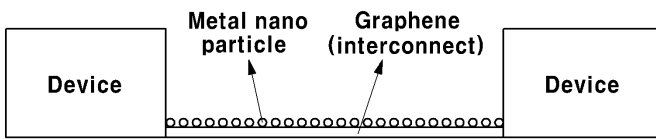
도면16



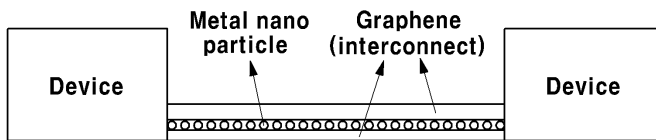
도면17



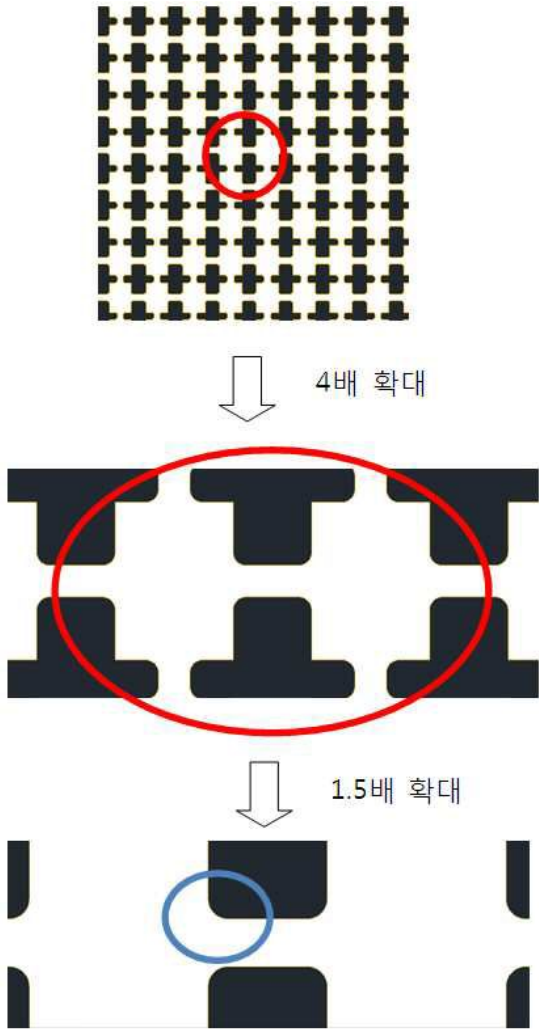
도면18



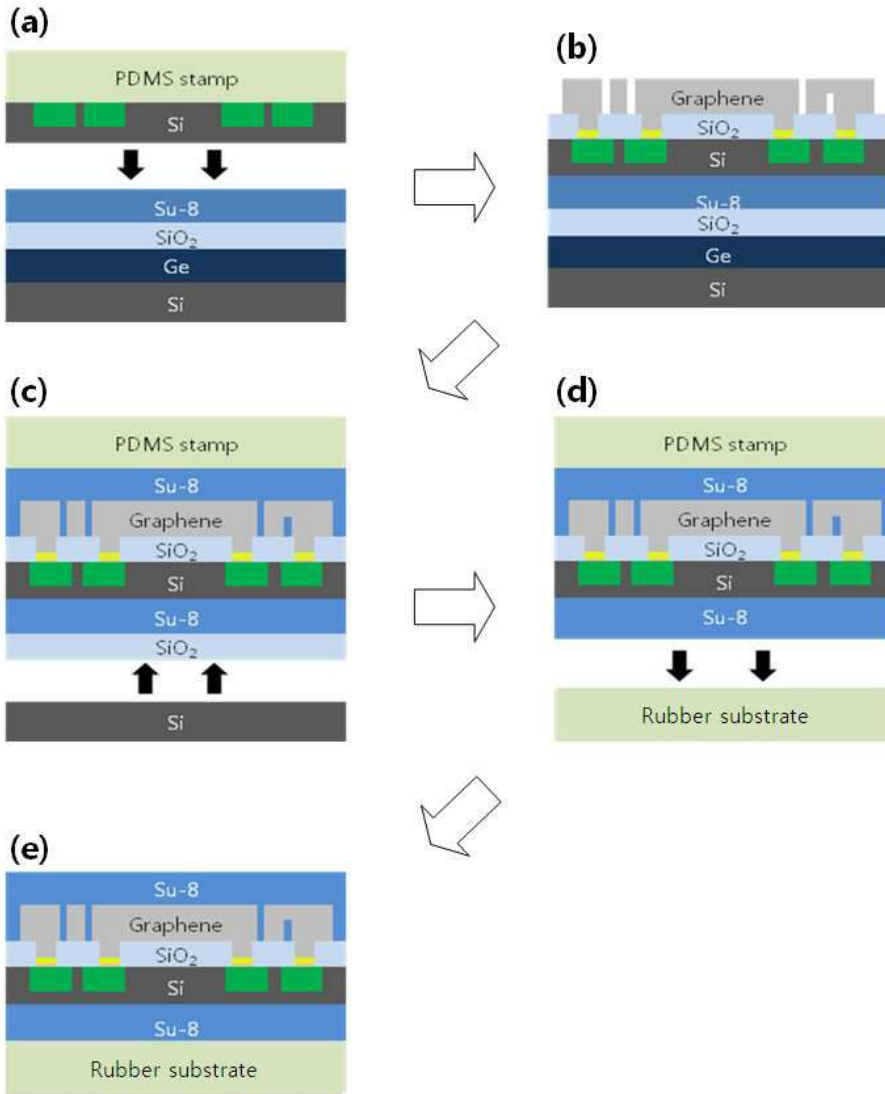
도면19



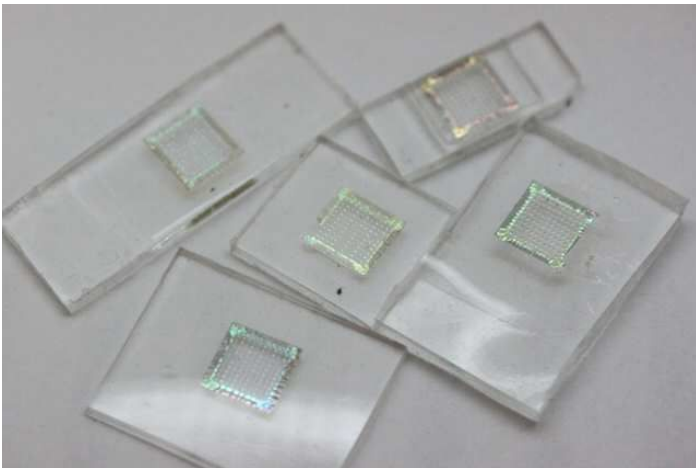
도면20



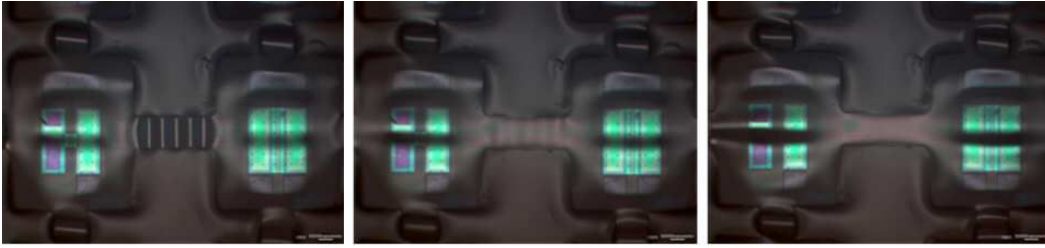
도면21



도면22



도면23

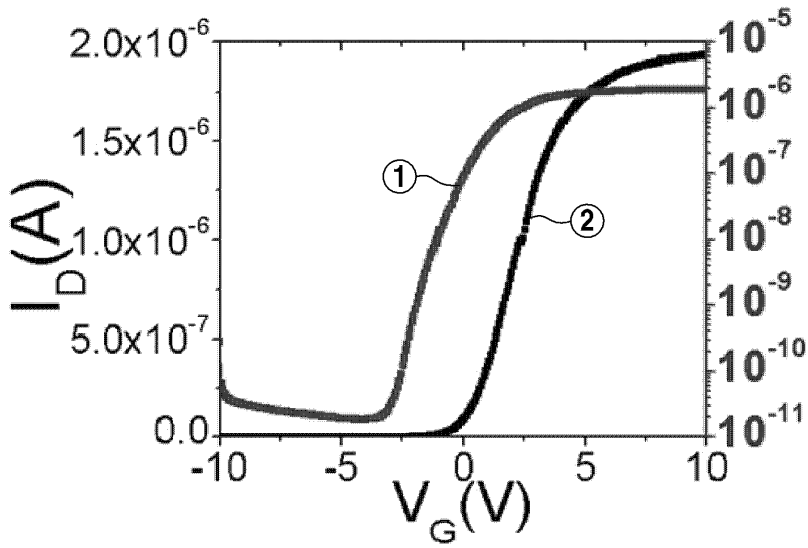


(a) 0%

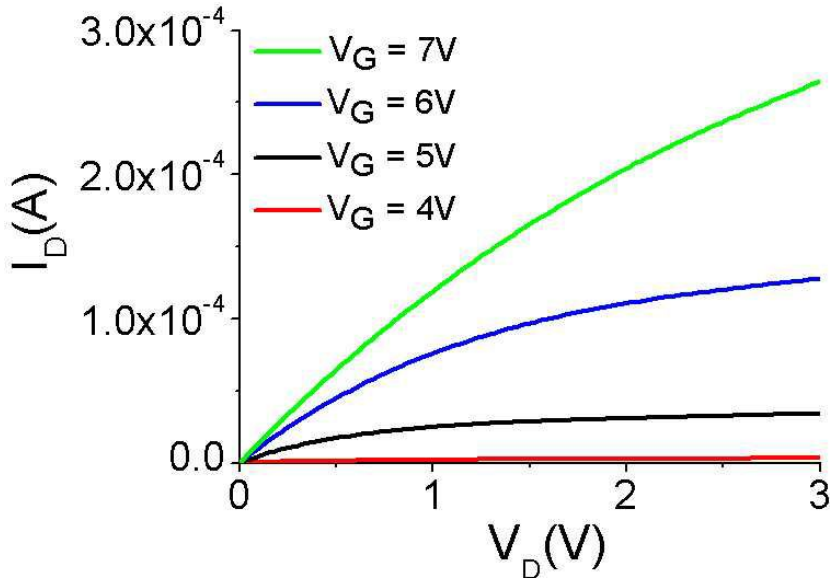
(b) 5%

(c) 10%

도면24



도면25



도면26

